

МІНІСТЕРСТВО ОСВІТИ І НАУКИ УКРАЇНИ  
ЗАПОРІЗЬКИЙ НАЦІОНАЛЬНИЙ УНІВЕРСИТЕТ

Інженерний навчально-науковий інститут ім. Ю. М. Потебні  
Кафедра електроніки, інформаційних систем та програмного  
забезпечення

**Пояснювальна записка**

до кваліфікаційної роботи

рівень вищої освіти перший бакалаврський  
(другий магістерський рівень)

на тему Розробка тестера для перевірки функціонування цифрових мікрос-  
хем

Виконав: студент (ка) IV курсу, групи 6.1531-с

Чуприна А.П.

(прізвище та ініціали)

(підпис)

Напряму підготовки \_\_\_\_\_  
(шифр)

Спеціальності 153

Мікро- та наносистемна техніка

(назва)

Керівник доцент, доцент, к.т.н.

Небеснюк О.Ю.

(посада, вчене звання, науковий ступінь, прізвище та ініціали)

Рецензент \_\_\_\_\_

(посада, вчене звання, науковий ступінь, прізвище та ініціали)

м. Запоріжжя - 2024 рік

**МІНІСТЕРСТВО ОСВІТИ І НАУКИ УКРАЇНИ**  
**ЗАПОРІЗЬКИЙ НАЦІОНАЛЬНИЙ УНІВЕРСИТЕТ**  
**Інженерний навчально-науковий інститут ім. Ю. М. Потебні**

Рівень вищої освіти перший бакалаврський  
(перший (бакалаврський) рівень, другий (магістерський) рівень)  
Напрямок підготовки 153  
(шифр)  
Спеціальність Мікро- та наносистемна техніка  
(назва)

**ЗАТВЕРДЖУЮ**  
Завідувач кафедри ЕІСПЗ  
Критська Т.В.

“ 10 ” червня 20 24 року

**З А В Д А Н Н Я**  
**НА КВАЛІФІКАЦІЙНУ РОБОТУ СТУДЕНТУ**

Чуприні Андрію Павловичу

(прізвище, ім'я, по батькові)

1. Тема проекту (роботи) Розробка тестера для перевірки функціонування цифрових мікросхем

керівник проекту (роботи) Небеснюк Оксана Юріївна  
(прізвище, ім'я, по батькові, науковий ступінь, вчене звання)

затверджені наказом вищого навчального закладу від “26” грудня 2023 року №2215-с

2. Строк подання студентом проекту (роботи) 10 червня 2024 року

3. Вихідні дані до проекту (роботи) Використання восьмиканального логічного пробника з емітерними повторювачами на вході

4. Зміст розрахунково-пояснювальної записки (перелік питань, які потрібно розробити): Дослідження принципів функціонування та побудови логічних тестерів аналізаторів цифрових сигналів. Розробка логічного тестера аналізатора цифрових сигналів. Аналіз загальної схеми багатоканального логічного тестера аналізатора. Охорона праці та техногенна безпека.

5. Перелік графічного матеріалу (з точним зазначенням обов'язкових креслень) Основні функціональні блоки, які використовуються при тестуванні цифрової схеми Функціональна схема багатоканального логічного тестера аналізатора. Моделювання функціонування вхідного вузла багатоканального логічного тестера аналізатора. Схема електрична принципова багатоканального логічного тестера аналізатора.

6. Консультанти розділів проекту (роботи)

Розділ	Прізвище, ініціали та посада консультанта	Підпис, дата
		завдання прийняв
<i>I</i>	<i>Небеснюк О. Ю., доцент</i>	
<i>II</i>	<i>Небеснюк О. Ю., доцент</i>	
<i>III</i>	<i>Небеснюк О. Ю., доцент</i>	

7. Дата видачі завдання 27.12.2023 року

**КАЛЕНДАРНИЙ ПЛАН**

№ з/п	Назва етапів дипломного проекту (роботи)	Строк виконання етапів проекту (роботи)	Примітка
<i>1</i>	<i>Дослідження принципів функціонування та побудови логічних тестерів аналізаторів</i>	<i>18.02.2024</i>	
<i>2</i>	<i>Дослідження варіантів сучасних логічних тестових аналізаторів</i>	<i>10.03.2024</i>	
<i>3</i>	<i>Моделювання багатоканального логічного тестера аналізатора</i>	<i>18.03.2024</i>	
<i>4</i>	<i>Розробка схеми перетворювача послідовного коду з комутатора в сегментну інформацію на індикаторі</i>	<i>14.04.2024</i>	
<i>5</i>	<i>Аналіз загальної схеми багатоканального логічного тестера аналізатора</i>	<i>27.04.2024</i>	
<i>6</i>	<i>Охорона праці та техногенна безпека</i>	<i>18.05.2024</i>	
<i>7</i>	<i>Оформлення пояснювальної записки</i>	<i>02.06.2024</i>	
<i>8</i>	<i>Рецензування, нормоконтроль, підписання роботи</i>	<i>14.06.2024</i>	
<i>9</i>	<i>Оприлюднений захист магістерської роботи</i>	<i>21.06.2024</i>	

**Студент**

\_\_\_\_\_ Чуприна А. П.  
( підпис ) (прізвище та ініціали)

**Керівник проекту (роботи)**

\_\_\_\_\_ Небеснюк О. Ю.  
( підпис ) (прізвище та ініціали)

**Нормоконтроль пройдено**

\_\_\_\_\_ Верьовкін Л. Л.  
( підпис ) (прізвище та ініціали)

## Реферат

Дипломна робота містить 70 сторінок, 43 рисунка, 10 таблиць, 14 джерел літератури.

Об'єкт дослідження – тестер для перевірки функціонування цифрових мікросхем

Мета роботи – розробка схеми тестера аналізатора логічних станів цифрових мікросхем, більш стабільного при дослідженні ніж існуючі аналоги.

Завдання роботи – забезпечити точність передачі вхідного сигналу; забезпечити синхронність функціонування вузлів логічного тестера аналізатора; забезпечити інформаційність вимірів за допомогою індикатора; забезпечити мобільність і автономність використання логічного аналізатора.

Методика досліджень – моделювання пристрою за допомогою програмних забезпечень Electronics Workbench 5.12, SPlan 5.0, Layout 4.0.

Короткий виклад результатів досліджень – використання в вхідних колах тестера аналізатора емітерних повторювачів зменшує навантаження на перевіряємий пристрій, що забезпечує точність передачі вхідного сигналу.

Результати впровадження – макет тестера аналізатора цифрових мікросхем пройшов випробовування на кафедрі ЕІСПЗ.

Прогнозні пропозиції – рекомендується подальша доробка схеми, для забезпечення запам'ятовування інформації і передачі її на персональний комп'ютер для подальшого аналізу.

ЦИФРОВА СХЕМА, ТЕСТЕР, АНАЛІЗАТОР, ТАКТОВИЙ СИГНАЛ, ЕМІТЕРНИЙ ПОВТОРЮВАЧ, МУЛЬТИПЛЕКСОР, КОМУТАТОР, ЛІЧИЛЬНИК, ГЕНЕРАТОР, ДЕШИФРАТОР, ІНДИКАТОР

Дипломну роботу виконано на кафедрі електроніки, інформаційних систем та програмного забезпечення з 12.02.2024 р. по 31.05.2024 р.

## Зміст

	Стор.
Вступ .....	6
1 Дослідження принципів функціонування та побудови логічних тестерів аналізаторів цифрових сигналів .....	7
1.1 Особливості та можливості логічних тестерів аналізаторів .....	8
1.2 Методи логічного моделювання и діагностики цифрових мікросхем .....	9
1.2.1 Методи аналізу .....	11
1.2.2 Опис тестової діагностики .....	12
1.3. Варіанти сучасних логічних тестових аналізаторів .....	14
1.3.1 Сумісний з персональним комп'ютером логічний тестовий аналізатор .....	14
1.3.2 Логічний тестовий аналізатор на контролері .....	17
2 Розробка логічного тестера аналізатора цифрових сигналів .....	22
2.1 Аналіз схемних рішень логічних пробників .....	23
2.2 Моделювання багатоканального логічного тестера аналізатора .....	29
2.2.1 Моделювання вхідних вузлів логічного тестера аналізатора .....	31
2.2.2 Моделювання схеми дешифратора катодів розрядів індикатора ...	36
2.2.3 Розробка схеми перетворювача послідовного коду з комутатора в сегментну інформацію на індикаторі .....	48
2.2.4 Аналіз загальної схеми багатоканального логічного тестера аналізатора .....	50
3 Охорона праці та техногенна безпека .....	55
3.1 Характеристика потенційних небезпечних та шкідливих виробничих факторів .....	55
3.2 Заходи з поліпшення умов праці .....	56
3.3 Виробнича санітарія .....	59

3.4 Електробезпека .....	61
3.5 Пожежна безпека. Техногенна безпека .....	63
3.6 Розрахунок захисного заземлення .....	64
Висновки та рекомендації .....	68
Перелік посилань .....	69

## Вступ

З розвитком електронної промисловості і обсягів виробництва усе більш неминучим стає завдання тестування електронних виробів. Старі підходи до перевірки якості і працездатності стають усе менш актуальними.

Тестер – пристрій призначений, для запису, перевірки і аналізу сигналів в цифрових схемах. Принцип роботи тестера близький до принципу роботи осцилографа. Осцилограф – найпоширеніший вимірювальний прилад, який використовується в усіх галузях науки і техніки, саме тому розробка нових рішень в цій галузі є на сьогодні актуальною. Основне завдання осцилографа – побудова часової залежності напруги сигналу  $U(t)$  – осцилограми. Головна відмінність тестера полягає в тому, що спостереження досліджуваних сигналів проводиться не в одній або двох, а в істотно більшій кількості точок одночасно. Подібно до осцилографа, тестер підключається одним або декількома щупами до аналізованої мікросхеми, але на відміну від осцилографа фіксує лише два стани сигналу «0» і «1». Важливою функцією тестера є здатність автоматично розшифровувати записані сигнали, наприклад, розібрати обмін даними по шині I<sup>2</sup>C або SPI. Також тестери відрізняються величиною, в порівнянні з осцилографами, кількістю аналізованих ліній: від 8 в простих аналізаторах до сотень в промислових зразках.

Тестер аналізатор – повністю цифровий прилад, який має в своєму складі швидкодіючий буферний оперативний запам'ятовуючий пристрій (ОЗП). Логічні сигнали в досліджуваних точках із заданою частотою дискретизації реєструються в буферному ОЗП. Після того, як реєстрація зупинена, дані, збережені в буферному ОЗП, передаються в пам'ять управляючого комп'ютера, для відображення на екрані монітора у вигляді часової діаграми або таблиці станів.

Актуальною являється розробка портативного цифрового тестера аналізатора логічних станів, призначеного для дослідження цифрових електричних сигналів в мікросхемах, їх додатковій обробці і аналізу

## 1 Дослідження принципів функціонування та побудови логічних тестерів аналізаторів цифрових сигналів

Для одержання інформації про технічний стан цифрової мікросхеми використовують тести. Під тестом розуміють сукупність вхідних впливів, які подаються у певному порядку і відповідних впливах реакції справного об'єкта, які називаються еталонами. Стосовно до цифрових мікросхем тестом називають послідовність векторів (наборів) вхідних сигналів. Тестовий експеримент полягає в подачі на цифрову мікросхему, яка перевіряється, вхідних впливів, отримання реакції і порівнянні її з еталоном. Під тестером розуміється пристрій від найпростішого вольтметра до спеціалізованої робочої станції, оснащеної можливістю використання для аналізу ЕОМ.

З появою цифрових систем, зокрема, мікропроцесорів, встало завдання їх відладки і тестування. Для цієї мети використовувався логічний тестер аналізатор (ЛТА), завдання якого зводилося до фіксації цифрових послідовностей сигналів, їх візуалізації і аналізу. ЛТА використовувалися розробниками апаратури і для ряду інших специфічних завдань. Основні вимоги до цього типу приладів були сформульовані в ході різносторонньої експлуатації і згодом були узяті за основу для нових розробок.

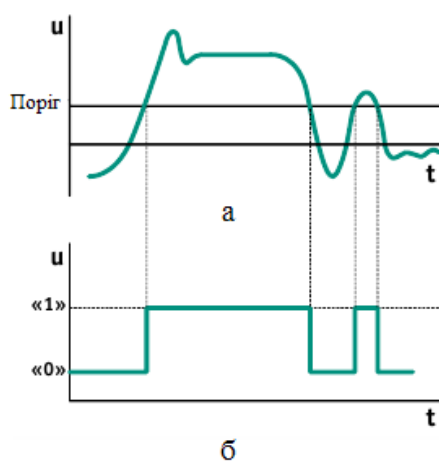
В даний час цифрова техніка отримала бурхливий розвиток. Аналогова апаратура витісняється цифровою в самих різних областях, таких як промислова автоматизація, управління літальними апаратами, телебачення, телефонія. Ця тенденція набуває останнім часом масового характеру. Традиційні цифрові пристрої, наприклад мікропроцесори, також не стоять на місці, що обумовлює вдосконалення ЛТА. Засоби тестування виявилися необхідними не лише розробнику, але і користувачу. Відповідно до цього інтерфейс ЛТА придбав більш дружній вигляд, а самі прилади стали випускатися не для конкретних цілей, а для широкого кола завдань, збільшуючи тим самим функціональні можливості і кількість налаштувань ЛТА.



## 1.1 Особливості та можливості логічних тестерів аналізаторів

Логічні тестери аналізатори – контрольні вимірювальні прилади, призначені для збору даних про поведінку дискретних систем, для обробки цих даних [1].

Логічні тестери аналізатори характеризуються числом каналів, ємкістю пам'яті на канал, частотою запису, способами синхронізації і запуску, формами представлення даних. Для визначення значень сигналів ЛТА використовують компаратори, за допомогою яких з'ясовується, вище або нижче вхідний сигнал заданого порогового рівня. Якщо сигнал перевищує поріг, його рівень визначається як високий, якщо нижче за поріг, то низький (рис. 1.1).



а – на вході;

б - на виході

Рисунок 1.1 – Вигляд сигналів компаратора

Порогова напруга компараторів, як правило, може регулюватися (в основному від  $-10$  до  $+10$  В). Підключення ЛТА вимагає доступу до ділянок цифрового пристрою (наприклад, виводам мікросхем або трасам плати). Аналізатори забезпечуються спеціальними щупами і затискачами. Основна вимога – мінімізація впливу приладу на випробовуваний пристрій. ЛТА повинні володіти високим вхідним опором (приблизно  $1$  МОм) і малою вхідною ємкістю (порядку  $10 \dots 25$  пФ). Для забезпечення цих вимог компаратори логічних рівнів розробляються виносними [2].

Запис інформації в ЛТА відбувається по тактових сигналах. У тому випадку, коли тактові сигнали поступають від внутрішнього генератора незалежно від випробовуваного об'єкту, реалізується асинхронний режим запису даних. Якщо для синхронізації роботи ЛТА використовуються сигнали випробовуваного об'єкту, то реалізується синхронний режим запису даних. При цьому значення можуть записуватися фронтом або зрізом тактового сигналу. Вибірковий запис інформації реалізується за допомогою кваліфікаторів – окремих каналів, які не фіксуються в пам'яті, але визначають можливість запису вхідних даних в пам'ять [1]. Це дозволяє економити об'єм вільної пам'яті.

У реальних системах можуть виникати імпульси і сплески, тривалість яких менше тривалості тактового сигналу. Такі помилкові сигнали вважаються перешкодами. Існує два способи виявлення перешкод: збільшення тактової частоти в асинхронному режимі і вживання «пасток». У першому випадку перешкоди фіксуються і візуалізуються як дані, в другому випадку перешкоди фіксуються окремо від основних даних і візуалізуються не як біти даних, а як помилкові сигнали. Основну різноманітність до сімейства логічних аналізаторів вносять способи запуску і форми представлення даних.

## 1.2 Методи логічного моделювання и діагностики цифрових мікросхем

Моделювання складних логічних мікросхем на великому числі вхідних наборів ефективно можна здійснювати лише за допомогою ЕОМ. Для того, щоб змоделювати роботу пристрою на ЕОМ, необхідно описати математичну модель цього пристрою в пам'яті ЕОМ [3].

Логічна мікросхема  $N$  вважається структурно описаною, якщо вказані наступні її характеристики: зовнішні входи схеми - безліч  $X = \{x\}$ ; зовнішні виходи схеми - безліч  $Z = \{z\}$ ; елементи схеми - безліч  $D = \{d\}$ ; внутрішні зв'язки між елементами у вигляді матриці зв'язків  $C = \{c_{ij}\}$ , де  $c_{ij} \in \{0,1\}$ ;  $c_{ij}=1$

- якщо вихід елемента  $d_i$  пов'язаний з входом елемента  $d_j$ , для всіх елементів  $d \in D$ .

Іншим спосіб описання схеми у вигляді списків: списку входів схеми - опис безлічі  $X$ , списку виходів - опис безлічі  $Z$  і списку логічних елементів і зв'язків між ними - опис безлічі  $D$  і матриці  $C$ . Списки, які описують схему, можуть бути прямими і зворотними.

Прямий схемний список - це опис схеми по входах елементів. Для кожного елемента схеми вказується його порядковий номер на схемі, тип і номери елементів, виходи яких є входами для даного елемента.

Зворотний схемний список - це опис схеми по виходах елементів. Для кожного елемента вказується його номер на схемі, тип і номер елементів, з входами яких сполучений вихід даного елемента.

Прямий і зворотний схемний списки є компактним описом матриці зв'язків між елементами  $C = \{c_{ij}\}$ , причому для завдання матриці досить одного з них. Прямий схемний список може бути побудований на основі зворотного списку і навпаки.

В більшості випадків для моделювання досить мати прямий схемний список. Зворотний схемний список використовується для виділення напряму поширення сигналів в схемі при моделюванні складного цифрового пристрою з великим числом елементів. В цьому випадку, якщо, наприклад, зміниться якась підсхема із загальної схеми пристрою, то моделюванню піддаються лише ті підсхеми, які пов'язані з даною. При цьому значно скорочується об'єм модельованої схеми і об'єм інформації, що виводиться для аналізу, оскільки моделювання проводиться напрямлено, тобто по шляху поширення сигналів в схемі. Якщо який-небудь елемент схеми змінює своє значення на поточному кроці моделювання, то всі підсхеми, пов'язані з виходом цього елемента, моделюються.

Прямий схемний список зручно використовувати при діагностиці схеми і локалізації несправностей в ній, оскільки він дозволяє виділити всі можливі дороги поширення помилкової інформації (визначити по номеру елеме-

нту, на виході якого виявлена помилка, елементи, які можуть бути джерелами цієї помилки).

### 1.2.1 Методи аналізу

Методи аналізу схем можна розділити на прямі і непрямі. Прямі методи аналізу спираються на різну алгебру або інші форми, що відображають в тому або іншому вигляді структуру схеми. Вони дозволяють безпосередньо синтезувати вхідні послідовності, необхідні для здобуття заданої реакції схеми. Наприклад, синтезувати вхідні набори, що забезпечують появу на виході схеми нульового сигналу.

До непрямих методів аналізу відносяться різні види моделювання, які дозволяють відтворювати поведінку схеми або окремих її елементів при подачі на схему набору вхідних дій, наприклад, оцінити правильність роботи спроектованої схеми. Моделюючи роботу схеми, яка містить несправний елемент, на наборах, складових контролюючого тесту, можна оцінити повноту цього тесту.

Відзначимо переваги і недоліки цих методів. Для прямих методів потрібні побудови алгебро-структурних описів схем на основі схемних списків; як правило, ці методи орієнтовані на певний клас схем, наприклад синхронні і асинхронні. Для непрямих методів не вимагається побудови інших описів схем, окрім схемного списку, крім того, вони не залежать від класу аналізованих схем. Проте для непрямих методів, в порівнянні з прямими, може потрібно значно більше часу для визначення потрібної вхідної дії. Непрямі методи аналізу носять універсальний характер і застосовуються у тому випадку, коли прямі методи не розроблені або дуже складні для якого-небудь класу схем. Прямі і непрямі методи аналізу доповнюють один одного. Якщо, наприклад, тест для схеми був складений уручну, з використанням прямих методів, то моделювання може бути застосоване для аналізу тесту на повноту.

### 1.2.2 Опис тестової діагностики

Проблема тестового діагностування цифрових схем виникає на різних етапах їх виробництва і експлуатації і включає взаємозв'язані завдання. Перша з них полягає у визначенні, в якому стані знаходиться досліджувана схема [3]. Основним станом цифрових схем є справний - це такий технічний стан схеми, при якому вона задовольняє всім вимогам, встановленим технічною документацією. Інакше схема знаходиться в одному з несправних станів.

Якщо встановлено, що цифрова схема несправна, то вирішується друге завдання: здійснюється пошук несправності схеми, мета якого - визначення місця і вигляду несправності.

З безлічі різних видів несправностей виділяється клас логічних несправностей, які змінюють логічні функції елементів цифрової схеми. Для їх опису в більшості випадків використовуються наступні математичні моделі.

1. Константні несправності: константний нуль і константна одиниця, що означає наявність постійного рівня логічного нуля або логічної одиниці на входах і виході несправного логічного елемента.

2. Несправності типу “коротке замикання” (мостикові несправності) з'являються при короткому замиканні входів і виходів логічних елементів і підрозділяються на два види: несправності, викликані коротким замиканням входів логічного елемента, і несправності типу зворотного зв'язку.

3. Інверсні несправності описують фізичні дефекти цифрових схем, що наводять до появи фіктивного інвертора по входу або виходу логічного елемента, що входить в дану схему.

4. Несправності типу “переплутування” полягають в переплутуванні зв'язків цифрової схеми і викликаються помилками, що виникають при проектуванні і виробництві цифрових схем, які змінюють функції, що виконуються схемою.

Класична стратегія тестування цифрових схем заснована на формуванні тестових послідовностей, що дозволяють виявляти задану безліч їх несправностей. При цьому, для проведення процедури тестування, зберігаються

як самі тестові послідовності, так і еталонні вихідні реакції схем на їх дію. В процесі тестування при відповідності отриманих реакцій схеми еталонним вона вважається справною, інакше схема містить несправність і знаходиться в несправному стані.

Структурні блоки, на які розбивається завдання діагностики, приведені на рисунку 1.2.

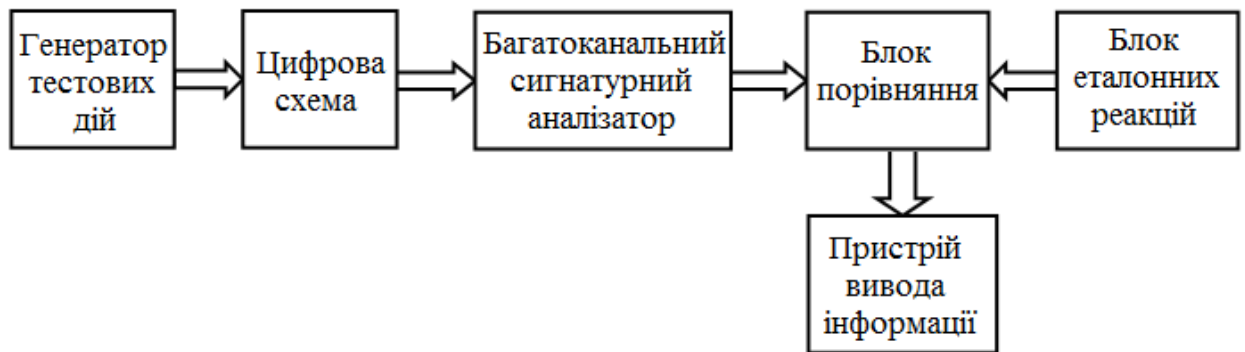


Рисунок 1.2 - Основні функціональні блоки, які використовуються при тестуванні цифрової схеми

ГТД – генератор тестових дій (генератор М - послідовності)

ЦС – цифрова схема

БСА – багатоканальний сигнатурний аналізатор

Логічний взаємозв'язок функціональних блоків побудований таким чином: з генератора тестових дій через цифрову схему сигнали поступають на схему стискування інформації (сигнатурний аналізатор). Стислі вихідні реакції (сигнатури) потрапляють на схему порівняння, де вони порівнюються з еталонними сигнатурами, які зберігаються в блоці еталонних реакцій. Далі інформація потрапляє в пристрій виведення інформації про стан схеми.

### 1.3. Варіанти сучасних тестових логічних аналізаторів

#### 1.3.1 Сумісний з персональним комп'ютером логічний тестовий аналізатор

Сумісний логічний тестовий аналізатор (рис. 1.3), виконаний у форматі USB-приставки до персонального комп'ютера (ПК) [4]. Його характеристики: 20MHz, 16 каналів, 24кБ пам'яті. Це вистачає для великого круга завдань: аналіз ліній UART, I<sup>2</sup>C, SPI (в межах декількох мегагерц), паралельних шин, вимір часових характеристик сигналів і тому подібне.

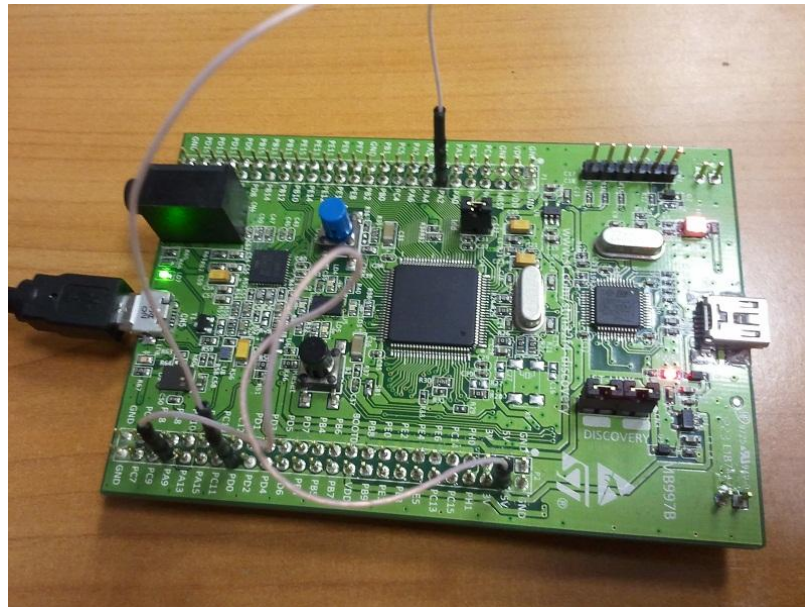


Рисунок 1.3 – Логічний тестовий аналізатор у вигляді USB-приставки

Пристрій живеться від порту mini-USB, і програмується. Для використання функцій ЛТА плата підключається до ПК. Для перевірки роботи з'єднуються порти PA2 і PD0. На PA2 формується тестовий сигнал, а PD0 це перший вхід ЛТА.

Плата розпізнається ПК як COM-порт. До недоліків відноситься те що в проекті використовується відкритий протокол SUMP. Даний протокол спочатку розроблявся для ЛТА на базі ПЛІС, і оскільки в частині запису вхідних

сигналів і аналізу потоку даних мікроконтролери їм поступаються, доступні не всі функції реалізовані в програмному забезпеченні:

- максимальна частота запису – 20 МГц;
- RLE-стик і фільтрація шумів не підтримуються;
- не можна вибрати довільні групи каналів;
- тригери працюють по фронту;
- немає підтримки розширених (Complex) тригерів.

Робота з програмним забезпеченням (рис. 1.4). У меню «Capture», вибирається пункт «Begin capture», відкривається вікно налаштувань запису. На першій сторінці в полі «Analyzer port» обирається порт, до якого підключений ЛТА,. Кнопкою ««Show device metadata» перевіряється наявність зв'язку.

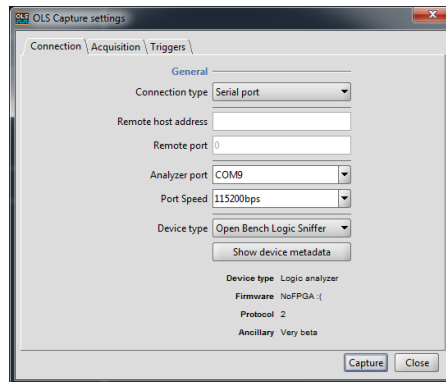


Рисунок 1.4 – Програмне вікно логічного аналізатора

На другій сторінці (рис. 1.5) вказуються параметри захвату. «Sampling rate» використовує 20МГц.

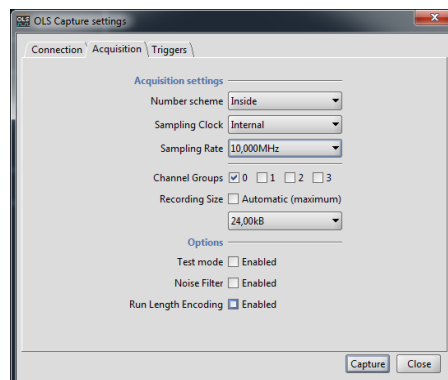


Рисунок 1.5 – Друга сторінка програмного забезпечення



«Channel groups»: 0 – використовується одна група каналів, це лінії PD0 - PD7, або 0 і 1 – використовується дві групи каналів — лінії PD0 - PD15.

«Recording size»: для однієї групи каналів – будь-яке значення, для двох груп – не більш 12kB.

На сторінці «Triggers» (рис. 1.6) перший прапорець ставиться для включення тригерів.

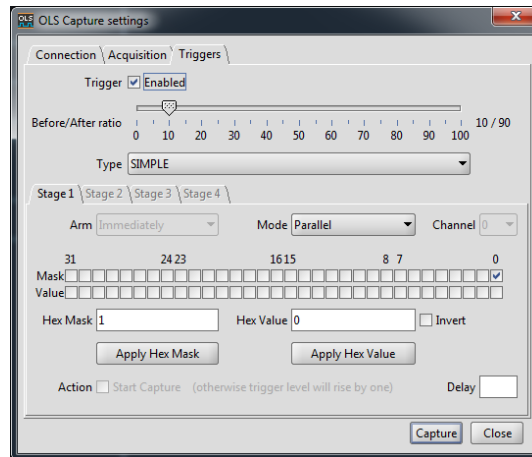


Рисунок 1.6 – Сторінка програмного забезпечення «Triggers»

«Before/After ratio» дозволяє вказати, в процентному співвідношенні, скільки даних зберегти до спрацьовування буфера. Після натиснення «Capture» ЛА відразу починає запис даних, складаючи їх в циклічний буфер, а по спрацьовуванню тригера відлічує вказаний в полі After відсоток часу і відправляє дані на ПК.

«Type» - «Simple», «Complex» - не підтримується «Mode» - лише «Parallel».

«Mask» - це лінії, на яких тригер чекатиме перепад сигналу. Необхідно поставити прапор в нульовій позиції для спрацьовування по лінії PD0.

«Value» - фронт сигналу, по якому відбуватиметься спрацьовування тригера. Прапорець встановлений – передній фронт. Прапорець знятий – задній.

З порту PA2 виводиться тестовий сигнал UART. Для перевірки роботи з'єднуються порти PD0 і PA2 перемичкою. З натиснен-

ням «Capture» спостерігається отриманий сигнал (Ctrl + F - оглядовий масштаб) (рис. 1.7).

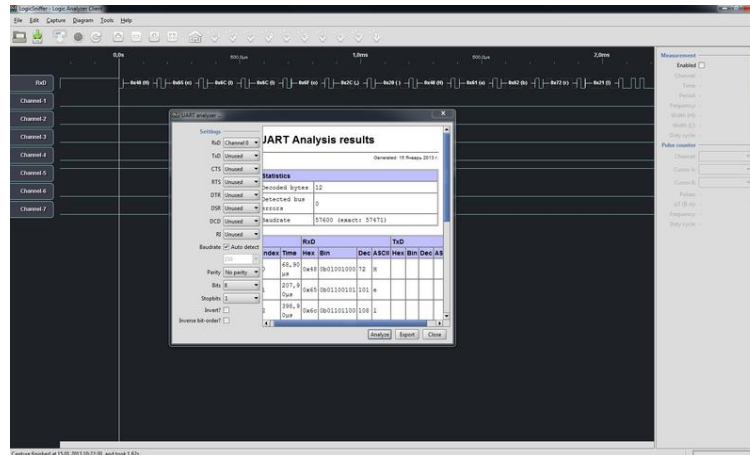


Рисунок 1.7 – Програмне вікно аналізу логічного сигналу

### 1.3.2 Логічний тестовий аналізатор на контролері

Основні параметри пристрою:

Базовий компонент: PIC18F4580.

Частота дискретизації: 200 Гц – 2 МГц.

Кількість каналів: 4.

Пам'ять: 1024 відліків на кожен канал.

Матричний дисплей LCD: 64×128 точок.

Напруга живлення: 9 В акумулятор.

Логічний тестовий аналізатор (рис. 1.8) має 4 канали, дуже компактний і живиться від батареї. Максимальна частота вибірок 2 МГц, а також пристрій має достатню пам'ять для зберігання 1024 вибірок сигналу. Матричний дисплей LCD з дозволом 64×128 точок досить точно відображує і дає ясне уявлення про цифрові сигнали.

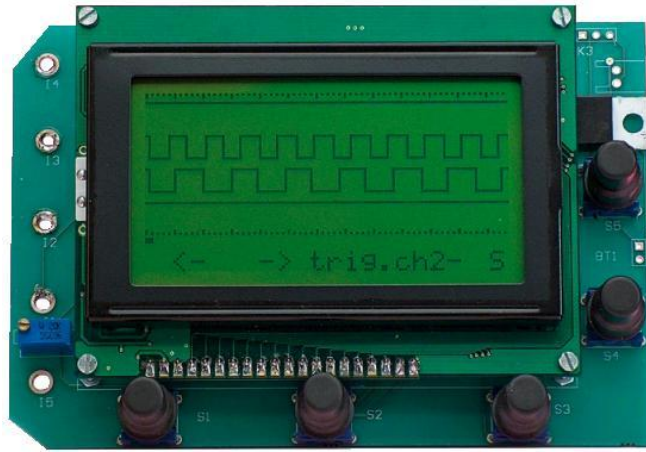


Рисунок 1.8 - Логічний тестовий аналізатор на контролері PIC18F4580

Схема 4-канального логічного тестового аналізатора показана на рисунку 1.9.

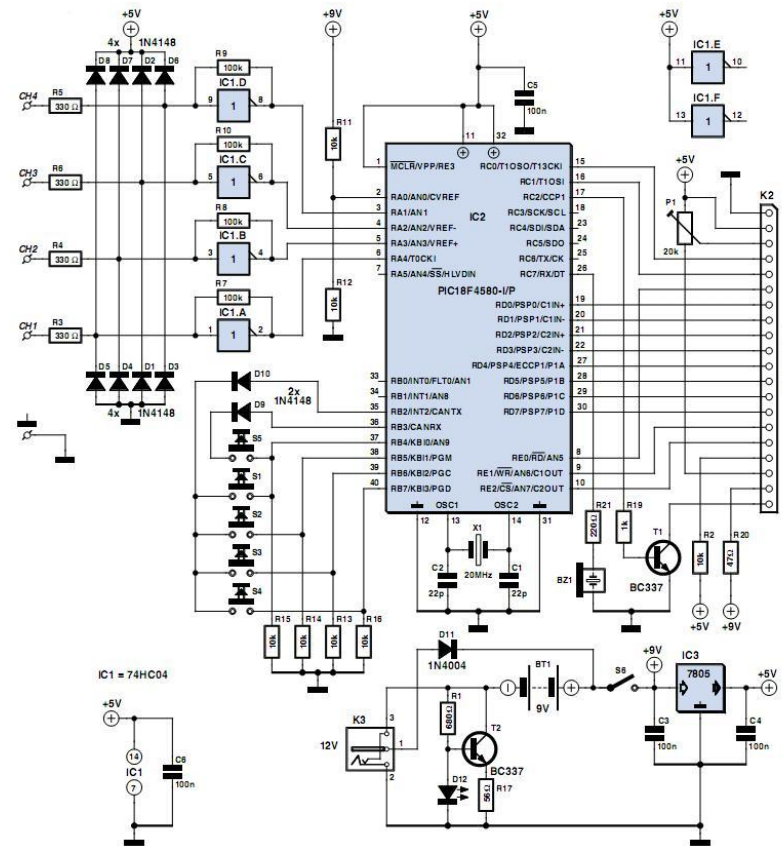


Рисунок 1.9 - Схема 4-канального логічного тестового аналізатора

Основою пристрою є мікроконтролер PIC18F4580, який виробляє вибірки і управляє LCD дисплеєм (наприклад, DEM128064A), управління можливе за допомогою клавіатури з 5 кнопок (S1- S5) [4]. Кварцовий резонатор (X1, 10 МГц) визначає максимальну частоту вибірок. Інтегрований в мікроконтро-

лер модуль PLL використовується для здобуття внутрішньої частоти 40 МГц, яка є максимальній по заявах виробника компанії Microchip.

Діоди D1 – D8 захищають входи мікроконтролера від дуже високої або негативної напруги. Вхідні сигнали поступає на входи мікросхеми IC1 74HC04N виступаючої роль буфера. Сигнали після буферної мікросхеми поступають безпосередньо на входи мікроконтролера RA1 – RA4, де вже програмно обробляються.

Потенціометр P1 необхідний для регулювання контрастності дисплея, транзистор T1 управляє підсвічуванням. Звуковий випромінювач BZ1 сигналізує про початок чергового циклу запису даних (про початок сэмплювання), а також при перемиканні між режимами роботи. Для клавіш управління (S1 – S5) не вимагається схеми подавлення брязкоту контактів, оскільки цей процес реалізується програмно.

Джерело живлення пристрою служить для забезпечення пристрою стабілізованою напругою 5 В (живлення мікроконтролера і мікросхеми 74HC04N) і напругою 9 В, використовуваного для підсвічування дисплея. Коло T2, R1, R17, D12 реалізує схему зарядки 9 В акумулятора при підключенні зовнішнього джерела живлення 9 – 12 В. При використанні стандартного світлодіода, з падінням напруги 1.5 В, струм зарядки акумулятора буде рівний:

$$(1,5 - 0,6) / 56 = 16 \text{ мА},$$

що, при використанні NiMn акумулятора ємкістю 160 мАч досить. Батарея в такому випадком буде повністю заряджена приблизно через 10 годин. У перебігу зарядки світлодіод D12 буде включений.

Клавіша S1 використовується для вибору частоти дискретизації (розгортки) і може набувати значень: 5/10/20/50/100/200/500 мкс/ділення і 1/2/5 мс/ділення. Клавіша S2 служить для вибору каналу для тригера синхронізації/запуску, а клавіша S3 – для вибору умови спрацьовування тригера синхронізації: наростаючий або спадаючий фронт.

Клавіша S4 має декілька функцій: старт/стоп пристрою, очищення дисплея. При короткочасному натисненні відбувається старт пристрою (чекання умови старту запису даних), після виконання синхронізуючої умови мікроконтролер виробляє 1024 вибірки кожного каналу і зберігає їх. Якщо знову натискувати кнопку S4, мікроконтролер знову зробить 1024 вибірки після виконання умови синхронізації. При тривалому утриманні клавіші S4 виконується очищення дисплея.

Клавіша S5 вмикає/вимикає підсвічування дисплея, але після 1 хвилини або при детектуванні розрядженого акумулятора вона автоматично вимикається.

Останні параметри налаштування розгортки, умови і джерела синхронізації зберігаються в EEPROM мікроконтролера і використовуються при наступному включенні пристрою.

При короткочасному натисненні клавіші S4 – мікроконтролер переходить в режим роботи з пам'яттю і чекає виконання умови запуску/синхронізації, на дисплеї в цей час в правому кутку відображується символ «R». Після виконання синхронізації, лічені 1024 зберігаються в ОЗП, значок «R» змінюється на «S» і дисплей відображує перші 128 вибірок кожного каналу. За допомогою клавіш S1 і S2 користувач може прокручувати дані в межах пам'яті, курсор внизу дисплея показує - дані з якої області пам'яті в даний момент відображуються.

Наступне коротке натиснення на клавішу S4 – пристрій знову робить вибірки і зберігає їх в пам'яті, але на дисплеї відображуватимуться дані з тієї області пам'яті, яку користувач переглядав до натиснення кнопки S4, що в деяких випадках є корисною функцією.

При утриманні клавіші S4 тривалий час – будуть вироблені вибірки, але дисплей відображуватиме дані з початкової (перші 128 вибірок) області пам'яті.

При утриманні клавіші S4 більш тривалий час (два звукові сигнали) – пристрій переходить в режим відображення в реальному часі перших 128 вибірок на дисплеї.

Аналіз існуючих логічних аналізаторів показує на малу кількість більш дешевих пристроїв, які не використовують мікроконтролери і дороге програмне забезпечення. По функціям такі аналізатори аналогічні процесорним, але по мобільності, автономності використання та коштовності перевершують їх.

Метою роботи являється розробка мікроелектронної системи аналізу сигналів в цифрових мікросхемах більш стабільної ніж існуючі аналоги.

Для досягнення поставленої мети необхідно вирішити наступні завдання:

- забезпечити точність передачі вхідного сигналу;
- забезпечити синхронність функціонування вузлів логічного тестера аналізатора;
- забезпечити інформаційність вимірів за допомогою індикатора;
- забезпечити мобільність і автономність використання логічного тестера аналізатора.

## 2 Розробка логічного тестера аналізатора цифрових сигналів

Аналізатор логічних станів призначений для дослідження цифрових електричних сигналів шляхом реєстрації їх в цифровій пам'яті і відображення на індикаторах, цифрового виміру часових параметрів. Досліджувані сигнали можуть бути піддані додатковій обробці і аналізу за допомогою програмних засобів аналізатора [5].

Принцип роботи логічного тестера аналізатора близький до принципу роботи осцилографа. Головна відмінність полягає в тому, що спостереження досліджуваних сигналів проводиться не в одній або двох, а в істотно більшій кількості точок одночасно. Інша принципова відмінність полягає в тому, що реєструється не аналогова форма, а логічні рівні входних сигналів, тобто одиниця або нуль в даний момент часу в даній точці.

За допомогою входних пробників аналізатор підключається до тестових точок досліджуваної цифрової системи. Логічні сигнали в досліджуваних точках із заданою частотою дискретизації реєструються в буферному пристрої. Реєстраційні дані, збережені в буферному пристрої, можуть бути передані в пам'ять комп'ютера для відображення на екрані монітора у вигляді часової діаграми або таблиці станів [5].

Частота дискретизації входних сигналів може задаватися як від внутрішнього джерела, так і від зовнішнього (від тактового сигналу досліджуваної цифрової системи). Відповідно до цього робота аналізатора може здійснюватися як в асинхронному, так і в синхронному режимі (по відношенню до роботи досліджуваної системи). Перший режим використовується, як правило, для виявлення помилок в роботі досліджуваної системи на апаратному рівні, тобто порушення часової діаграми – зрушення, помилкові імпульси і так далі. В даному випадку внутрішня частота дискретизації вибирається набагато більше частоти роботи досліджуваної системи. Другий режим (синхронний) використовується, як правило, для виявлення помилок в логіці роботи дослі-

джуваної системи на мікропрограмному рівні (неправильні дані, команди і так далі). Функціональна схема логічного аналізатора представлена на рисунку 2.1.

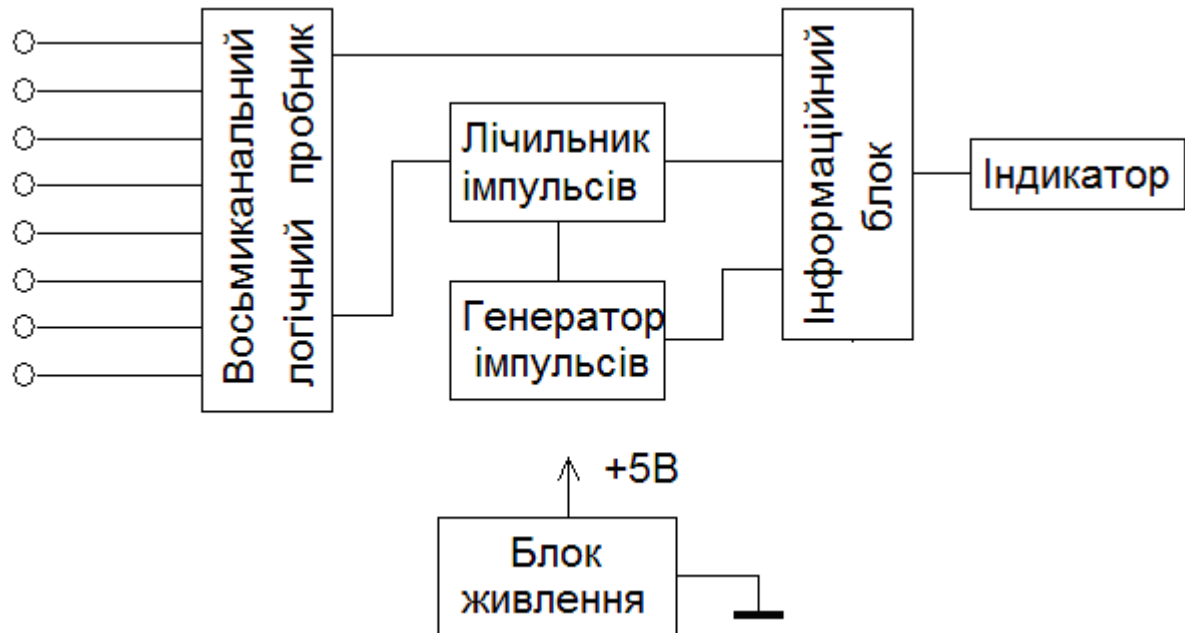


Рисунок 2.1 - Функціональна схема логічного аналізатора

### 2.1 Аналіз схемних рішень логічних пробників

Пробник (рис. 2.2) дозволяє розрізняти логічні стани «0» і «1», виявляти одиночні імпульси і пачки імпульсів, оцінювати шпаруватість імпульсів. Інформація відображується на семисегментному світлодіодному індикаторі. На ній відображаються цифри «0» і «1», що вказують на відповідні рівні, і точка, що відображує наявність імпульсів на вході пробника [5].

Через резистор R1, що запобігає пробник від перевантажень, сигнал поступає на емітерні повторювачі, виконані на транзисторах VT1, VT2. Вони зменшують навантаження на перевіряємий пристрій і зрушують рівні сигналів, що поступають на логічні елементи DD1.1 і DD2.1. Додаткове зрушення досягається включенням кремнієвого VD2 і германієвого VD1 діодів.



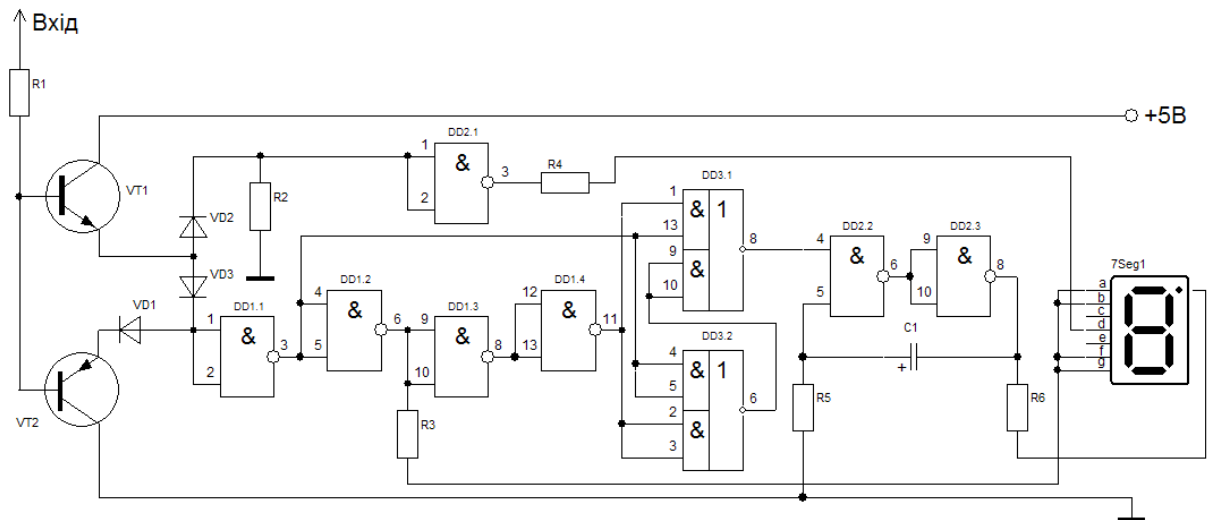


Рисунок 2.2 – Логічний пробник з емітерними повторювачами на вході

В результаті при входній напрузі вище 2,4 В на виході елементу DD2.1 з'являється логічний «0» і запалюється сегмент d світлодіодного індикатора. При цьому відображається знак «1». При напрузі нижче 2,4 В на виході елементу DD2.1 логічна «1» і сегмент d не світиться. При входній напрузі нижче 0,4 В на виході інвертора DD1.1 з'являється логічна «1». Цей сигнал інвертується елементом DD1.2 і подається на індикатор, в якому запалюються сегменти a, b, f, g, що відображують цифру «0».

Виявлення імпульсів засновано на запуску одновібратора по фронту і спаду кожного входного імпульсу. Входні імпульси диференціюються елементами DD1.2 – DD1.4 і DD3. Принцип диференціювання імпульсів заснований на внутрішній затримці логічних елементів. Він проілюстрований на рисунку 2.3 [5].

Імпульс з виходу елементу DD1.1 поступає на виводи 13 елементу DD3.1 і 4, 5 елементу DD1.2. Цей же імпульс, але затриманий і інвертований колом, що складається з елементів DD1.2 – DD1.4, поступає на виводи 1 елементу DD3.1 і 2, 3 елементу DD3.2. В результаті по фронту імпульсу на виході елементу DD1.1 протягом часу затримки перемикання елементів DD1.2 – DD1.4 одночасно на двох входах (виводи 1 і 13) елементу DD3.1 присутній високий логічний рівень.

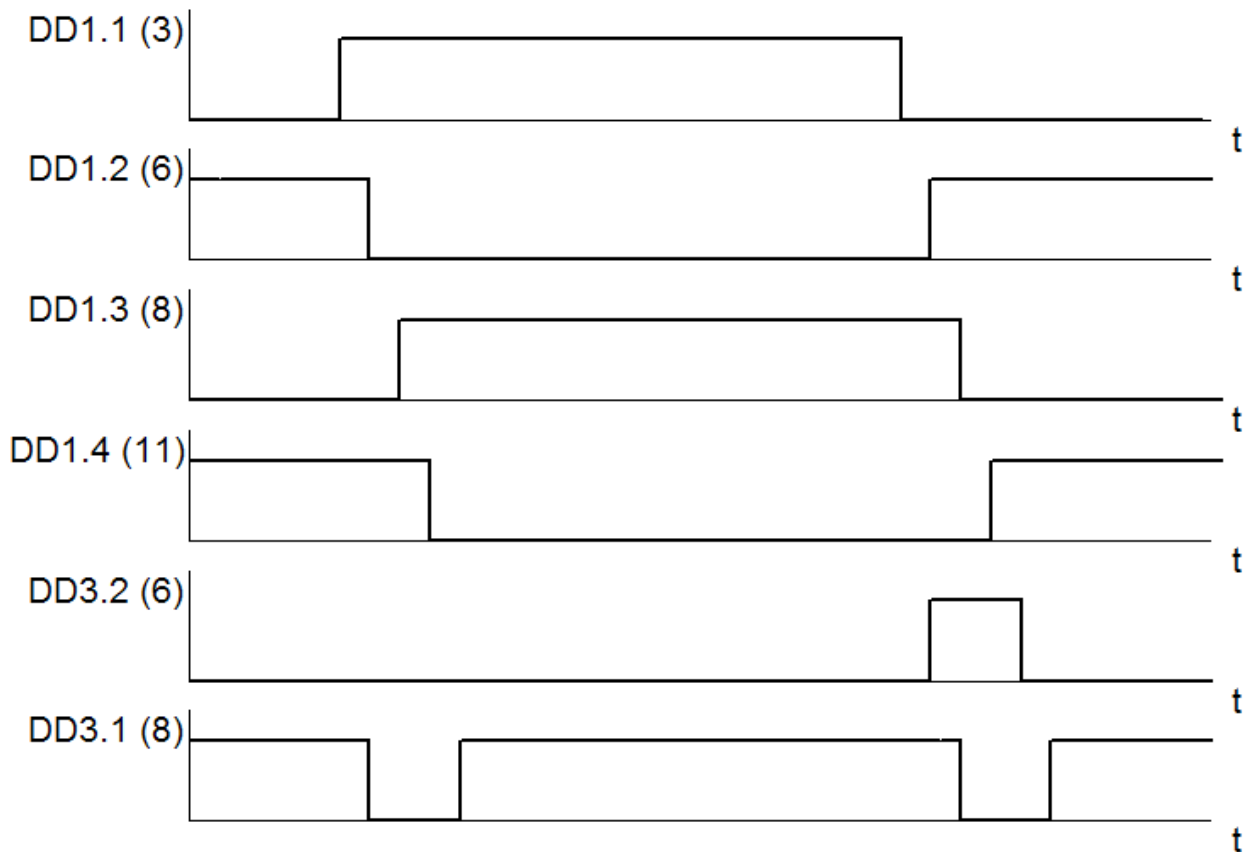


Рисунок 2.3 – Принцип диференціювання імпульсів

Завдяки цьому на виході елемента I формується позитивний імпульс.

По спаду імпульсу на виході елементу DD1.1 на всіх входах елементу DD3.2 з'являється логічний «0», а на виході формується позитивний імпульс. Його тривалість відповідає часу затримки елементів DD1.2 – DD1.4. Імпульси з виходу елементу DD3.2 поступають на виводи 9, 10 елементу DD3.1, що виконує функцію «АБО-НІ», внаслідок чого на виході елементу DD3.1 формуються негативні імпульси по кожному фронту і спаду вхідних імпульсів.

Діод VD3 прискорює перемикання елементу DD1.1 при великій частоті вхідних імпульсів.

Негативні імпульси з виходу елементу DD3.1 поступають на вхід мультивібратора (елементи DD2.2 і DD2.3), що чекає, і запускають його. До виходу мультивібратора підключений символ «точка» семисегментного індикатора. Якщо частота дотримання імпульсів не перевищує 10 Гц, а їх тривалість досить велика, мультивібратор, що чекає реагує на фронт і спад вхідних імпульсів і символ «точка» спалахує двічі на кожен імпульс. Якщо тривалість

імпульсів менше 5 мс (при частоті дотримання менше 10 Гц), мультивібратор, що чекає спрацює лише один раз на кожен імпульс. При частоті дотримання імпульсів понад 10 Гц мультивібратор реагує вже не на кожен імпульс, а при частоті 20 Гц і більше спалахи «точки» зливаються в безперервне світіння. При вхідному сигналі, близькому до меандра, одночасно з точкою відображаються знаки «0» і «1», а якщо шпаруватість велика – лише один з цих знаків.

Наступний варіант пробника з розширеними можливостями, для тестування пристроїв зібраних на цифрових мікросхемах ТТЛ (рис. 2.4) [5].

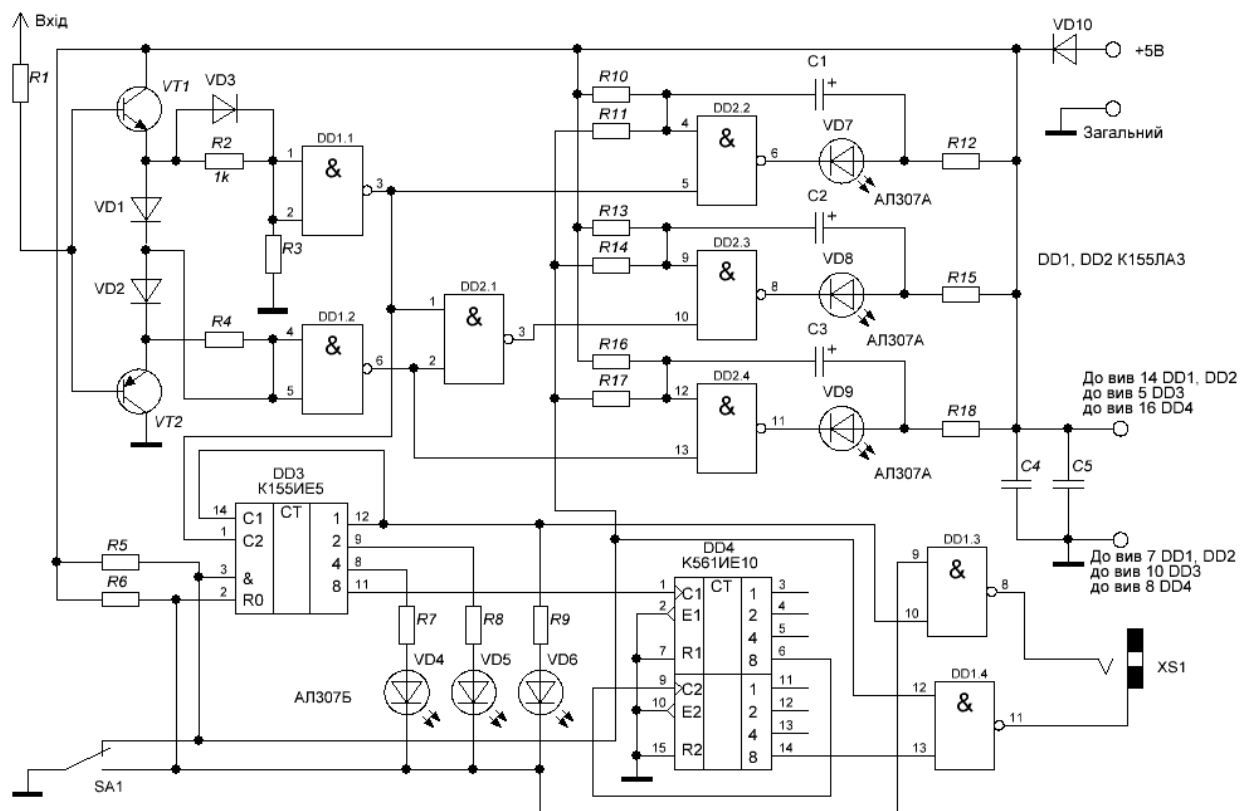


Рисунок 2.4 – Логічний пробник з розширеними можливостями

Пробник дозволяє визначати і відображувати трьома різноколірними світлодіодами не лише рівні напруги «0» і «1», але і проміжний рівень [6]. Час індикації коротких імпульсів всіх трьох рівнів збільшується до 0,1 с, що забезпечує їх візуальне спостереження. Збільшення тривалості імпульсів можна вимкнути і тоді по яскравості світіння світлодіодів можна оцінити їх

шпаруватість і прямокутність. Для визначення числа імпульсів, що прийшли, пробник забезпечений лічильником на 8 з індикацією трьома однобарвними світлодіодами.

Пробник також дозволяє судити про частоту досліджуваного сигналу. Для цього на ньому встановлено гніздо для підключення телефону до виходу дільника частоти на 2 (для звукових частот) або до виходу дільника частоти на 4096 (для високих частот до 10 МГц). Режим роботи пробника змінюють одними перемикачем.

Вхідний пристрій пробника являє собою емітерні повторювачі на транзисторах VT1 і VT2. Резистор R1 захищає його від перевантажень при подачі сигналу з напругою, що перевищує напругу живлення, або імпульсів негативної полярності. Діоди VD1 – VD3 і резистори R2 – R4 визначають порогові спрацювання елементів DD1.1 і DD1.2. Підбором резистора R2 встановлюється нижня межа визначуваного рівня «1», а підбором резистора R4 – верхня межа рівня «0». Елементи DD1.1 і DD1.2 формують крутий фронт і спад імпульсів. Елемент DD2.1 визначає проміжний рівень досліджуваного сигналу.

Світлодіоди VD7 – VD9 відображують відповідно рівень «1», проміжну напругу і рівень «0». Ці світлодіоди підключені до виходів одновібраторів на елементах DD2.2 – DD2.4. У показаному на схемі положенні перемикача SA1 одновібратори подовжують короткі вхідні імпульси, що поступають на них, до такої тривалості, при якій свічення світлодіодів помітне оком. При перемиканні перемикача SA1 в нижнє за схемою положення резистори R11, R14, R17 відключаються від загального дроту і на них через резистор R5 поступає рівень «1», який переводить одновібратори в режим повторювачів. При цьому збільшення тривалості імпульсів не відбувається. У такому положенні перемикача свічення світлодіода VD8 тим яскравіше, чим більше тривалість фронту і спаду досліджуваних імпульсів. Якщо вони практично прямокутні, світлодіод VD8 не світиться.

Оскільки вхід C1 лічильника DD3 підключений до виходу елементу DD1.1, то лічильник підраховує число імпульсів по рівню «1». Він може під-

раховувати їх по рівню «0», якщо перемкнути цей вхід лічильника на вихід елемента DD1.2. До виходів лічильника приєднані світлодіоди VD4 – VD6, кожен з яких відображує стан його відповідного двійкового розряду. Число імпульсів, що прийшли, дорівнює сумі вагових коефіцієнтів виходів лічильника, відповідних кожному зі світлодіодів VD4 – VD6, що світяться (відповідно 1, 2 і 4 імпульси). Кожні вісім імпульсів цикл рахунку повторюється. Скидання лічильника відбувається під час перемикачання контактів перемикача SA1, оскільки лише в цей проміжок часу на обох входах & і R0 лічильника присутній рівень «1». З метою зниження споживаного струму в показаному на схемі положенні перемикача SA1 світлодіоди VD4 – VD6 не світяться.

До виходу в лічильника DD3 послідовно підключені лічильники DD4.1 і DD4.2. Сумарний коефіцієнт ділення частоти трьох лічильників дорівнює 4096. Імпульси з виходу 12 лічильника DD3 подаються на вхід 10 елемента DD1.3, а імпульси з виходу 14 лічильника DD4.2 – на вхід 13 елемента DD1.4. У показаному на схемі положенні перемикача SA1 елемент DD1.4 вимкнений, а елемент DD1.3 включений (на виводі 12 присутній рівень «1»). Отже, на навушник приходять імпульси з частотою, в 2 рази меншою, ніж на вході пробника. Це необхідно для того, щоб шпаруватість імпульсів в навушнику була рівна двом, незалежно від шпаруватості досліджуваних імпульсів. При перемикачнні перемикача SA1 в нижнє за схемою положення елемент DD1.3 замикається, а на навушник поступають імпульси з виходу елемента DD1.4, що відкрився, з частотою в 4096 разів меншою, ніж на вході пробника, що дозволяє прослухувати вхідні імпульси з частотою до 10 МГц.

Діод VD10 захищає логічний пробник від неправильного підключення до джерела живлення. Конденсатори C4 і C5 блокують імпульсні перешкоди по колу живлення, їх слід розподілити по різних точках цього кола (рівномірно).

## 2.2 Моделювання багатоканального логічного тестера аналізатора

Аналізатор забезпечує одночасний контроль рівнів сигналів у восьми точках цифрового пристрою, зібраного на мікросхемах ТТЛ. В восьмиканальному логічному пробнику інформація відображається багаторозрядним семисегментним світлодіодним індикатором, який працює в динамічному режимі. Напівпровідникові знакові багаторозрядні мініатюрні однобарвні індикатори з різною висотою знаків призначені для перетворення низьковольтних електричних сигналів у візуальну літеро-цифрову інформацію [7]. Індикатор представляє набір семисегментних індикаторів і міжелектродних з'єднань, конструктивно розташованих і монтованих в єдиному корпусі. Багаторозрядні монолітно-гібридні індикатори з оптичним збільшенням призначені в основному для візуальної індикації результатів. Конструктивно монолітні багатоеlementні кристали поміщають на загальну підставу, а для збільшення видимого зображення використовується багато елементна (по числу цифр) пластмасова лінза. Конструкція виконана на керамічній підставі з монолітною лінзою, закріпленою на ній. Таку конструкцію мають індикатори АЛС 318 А з монолітною кришкою і опукло-увігнутими лінзами (корпус типа КИ9-1) (рис. 2.5).

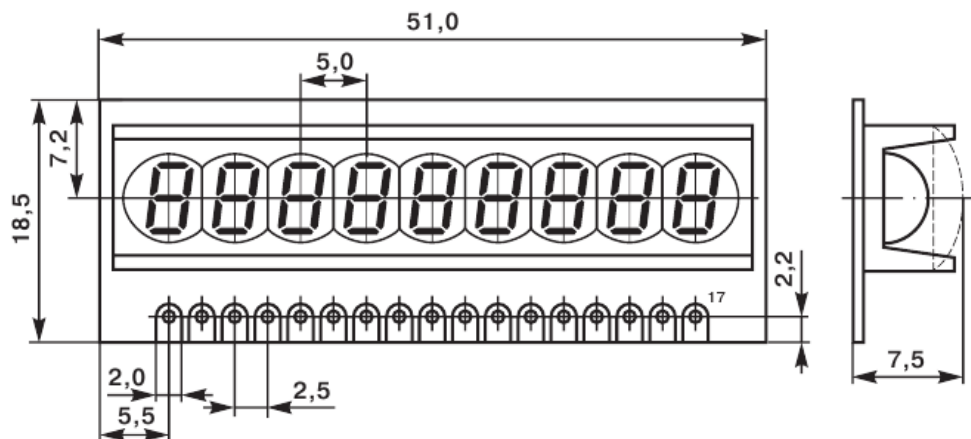


Рисунок 2.5 - Багаторозрядний семисегментний світлодіодний індикатор АЛС 318 А

Функціональна схема багатоканального логічного тестера аналізатора представлена на рисунку 2.6.

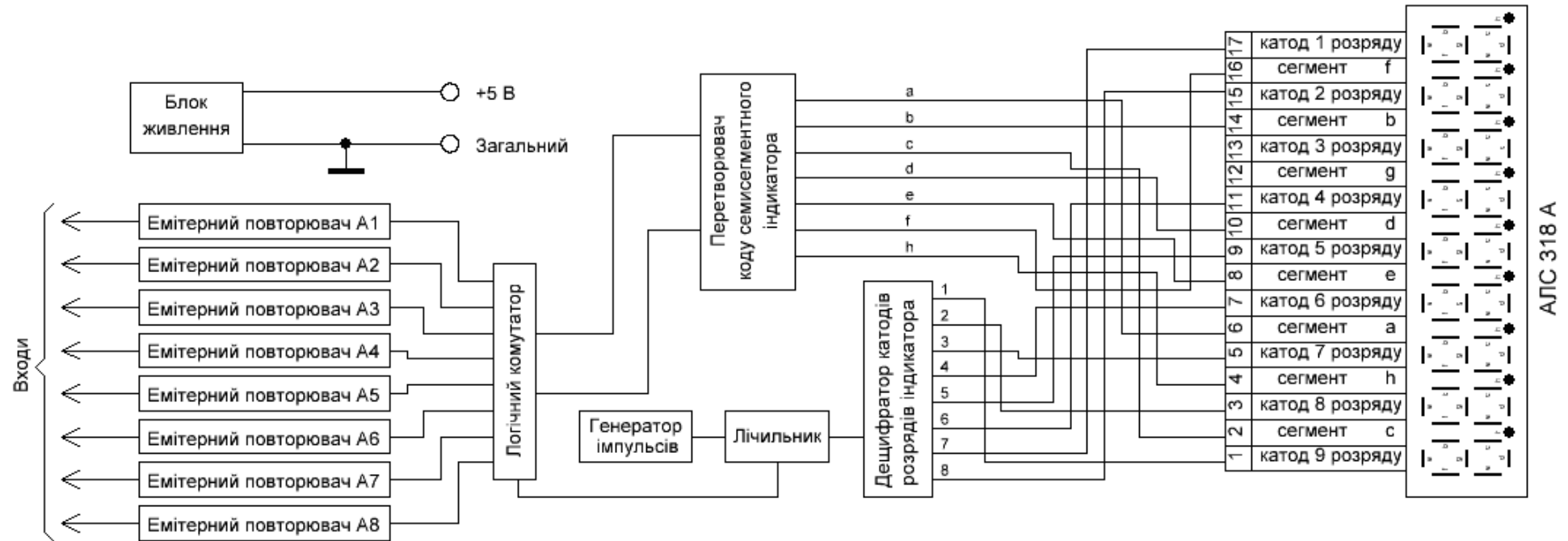


Рисунок 2.6 - Функціональна схема багатоканального логічного тестера аналізатора

### 2.2.1 Моделювання вхідних вузлів логічного тестера аналізатора

Вхідні вузли А1 – А8 виконані на емітерних повторювачах, які аналогічно схемам досліджених логічних пробників, зменшують навантаження на перевіряємий пристрій.

Розглянемо емітерний повторювач зібраний по схемі з загальним колектором (рис. 2.7) [8].

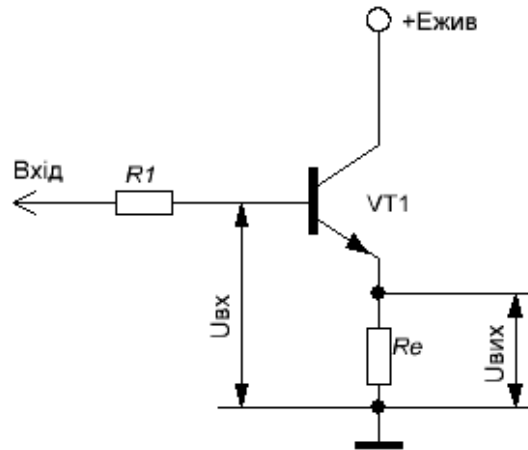


Рисунок 2.7 – Емітерний повторювач по схемі з загальним колектором

Принцип дії схеми із загальним колектором полягає в наступному. Якщо прикласти вхідну напругу більше чим 0,7 В, то протікає колекторний струм, який викликає падіння напруги на  $R_e$ . Вихідна напруга зростає настільки, аби напруга база-емітер досягла 0,7 В. Тоді

$$U_{\text{вих}} = U_{\text{вх}} - U_{\text{бер}} = U_{\text{вх}} - 0,7\text{В}$$

де  $U_{\text{бер}}$  - напруга база-емітер в робочій точці, що становить для кремнієвих транзисторів близько 0,7 В.

Якщо збільшити  $U_{\text{вх}}$ , то колекторний струм зросте, а також і падіння напруги на  $R_e$  підвищиться. Внаслідок цього напруга  $U_{\text{бер}}$  лише трохи збільшується при підвищенні колекторного струму. Отже, вихідна напруга зростає майже також, як вхідна, і коефіцієнт посилення по напрузі дорівнює

$$K_{\text{підс}} = \frac{\Delta U_{\text{вих}}}{\Delta U_{\text{вх}}} = 1$$

Оскільки зміна потенціалу емітера повторює зміну потенціалу бази, то схему із загальним колектором часто називають емітерним повторювачем.



Вхідний опір емітерного повторювача не відрізняється від вхідного опору схеми із загальним емітером і негативного зворотного зв'язку (33) по струму [8]. Вихідний опір можна розрахувати для  $R_1 = 0$ . При  $\Delta U_1 = 0$  вихідний опір емітерного повторювача дорівнює вхідному опору схеми з загальною базою.

$$R_{вих} = \frac{h_{11\delta} \cdot R_e}{h_{11\delta} + R_e}$$

Вихідний опір схеми із загальним колектором може бути в тисячі разів менше вхідного. Тому емітерним повторювач є перетворювачем опору. Він передає практично всю величину електрорухомої сили (ЕРС) джерела сигналу на значно більш низькоомний резистор. Шляхом включення емітерного повторювача можна погоджувати низькоомний каскад і високоомний. Особливістю повторювача є те, що при управлінні малими змінними сигналами до нього завдяки низькому опору можна підключати низькоомне навантаження.

Вхідне коло кожного інформаційного блока А1 – А8 складається з резистора  $R_1$ , що запобігає пробник від перевантажень, емітерних повторювачів, виконаних на транзисторах VT1, VT2, що зменшують навантаження на перевіряємий пристрій і зрушують рівні сигналів, що поступають на комутатор (рис. 2.8).

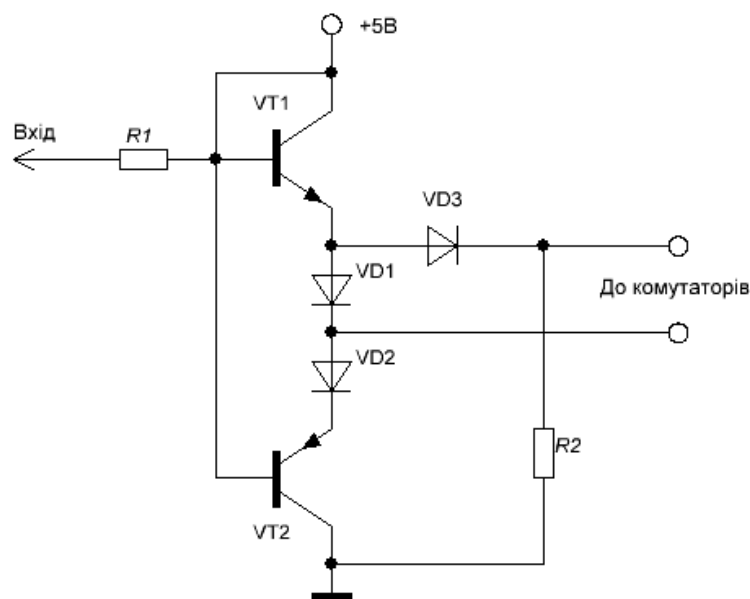
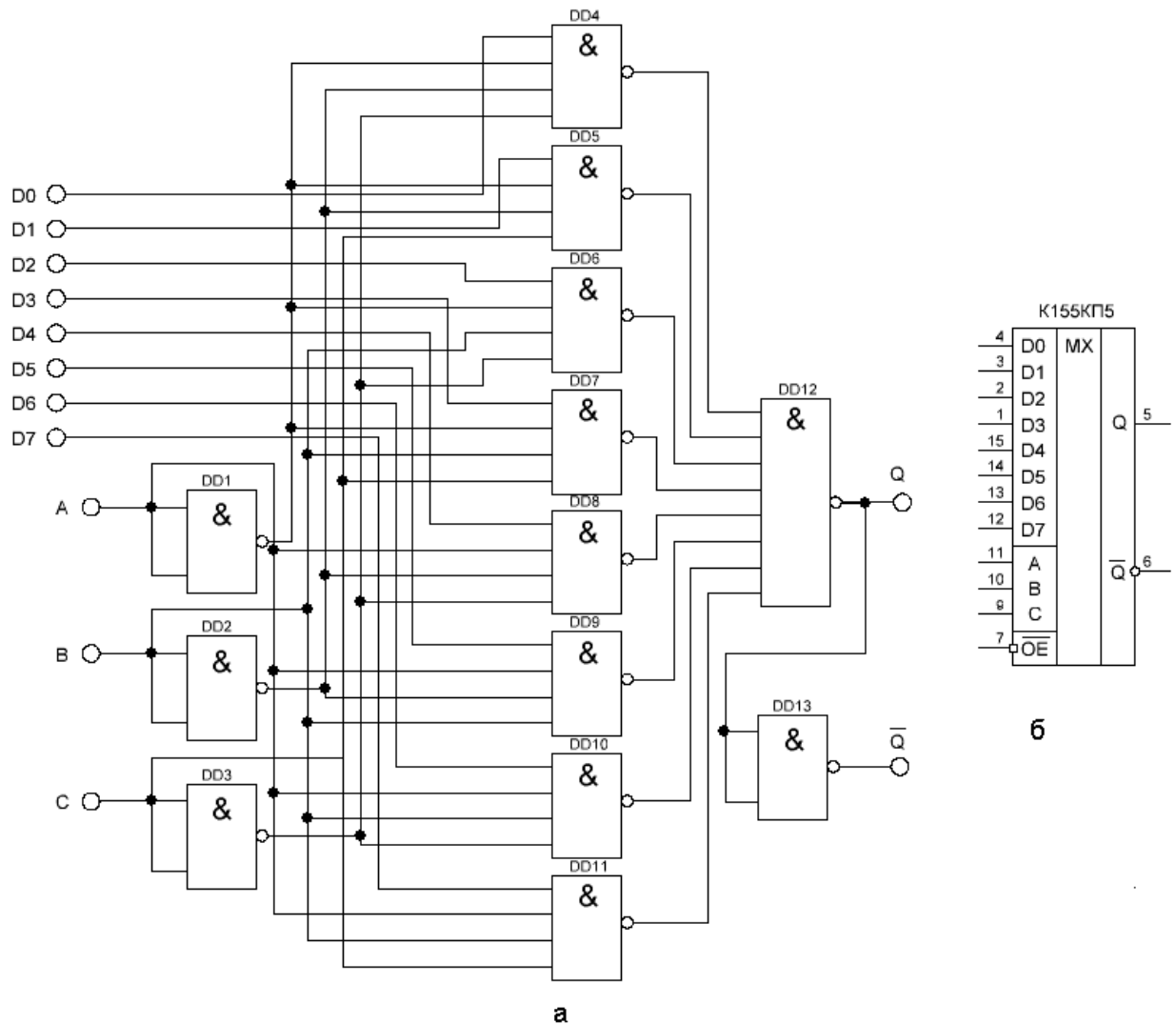


Рисунок 2.8 – Вхідний вузол логічного тестера аналізатора



$$Q = \overline{ABCX0} \cdot \overline{ABCX1} \cdot \overline{ABCX2} \cdot \overline{ABCX3} \cdot \overline{ABCX4} \cdot \overline{ABCX5} \cdot \overline{ABCX6} \cdot \overline{ABCX7}$$

Схема мультимплектора 8 в 1 представлена на рисунку 2.9.



а – розрахована схема мультимплектора;

б – умовне графічне позначення

Рисунок 2.9 – Мультимплексор для цифрового комутатора входних сигналів

Моделювання функціонування вхідного вузла багатоканального логічного аналізатора в програмному забезпеченні Electronics Workbench представлено на рисунку 2.10.

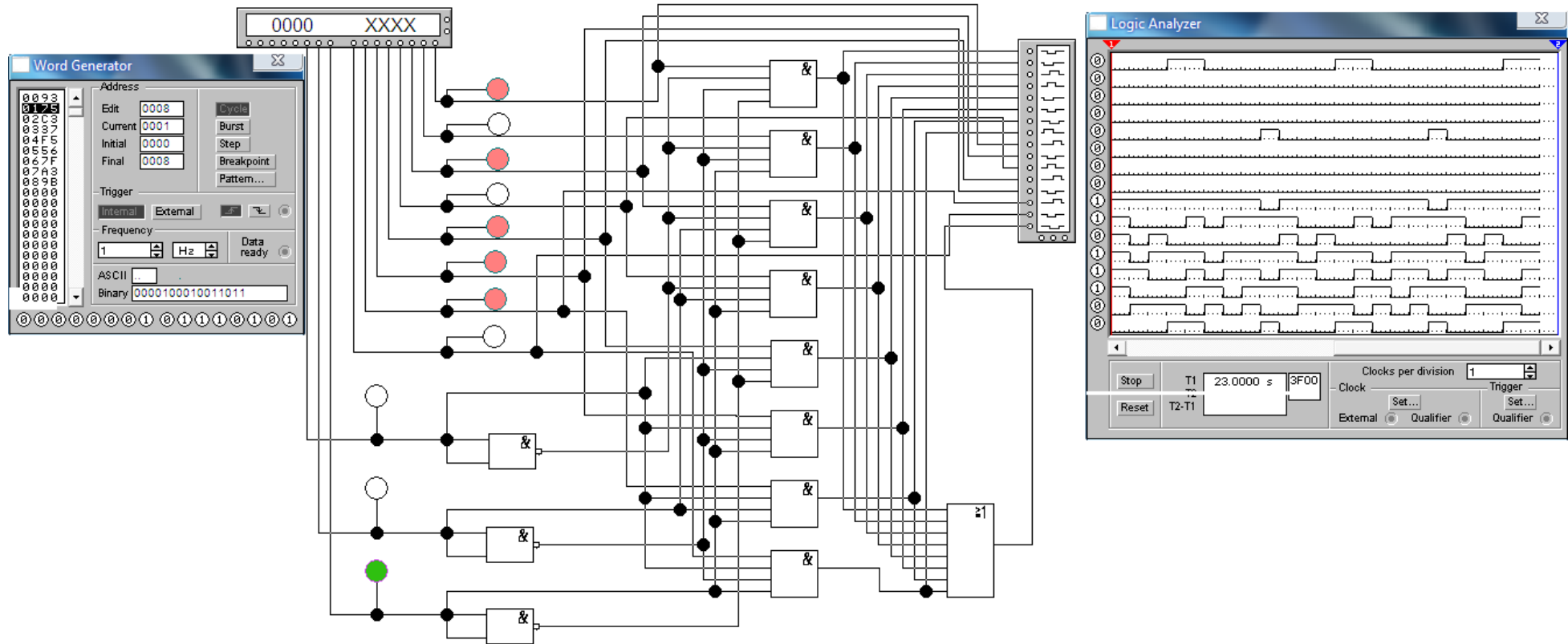


Рисунок 2.10 - Моделювання функціонування вхідного вузла багатоканального логічного аналізатора

### 2.2.2 Моделювання схеми дешифратора катодів розрядів індикатора

Дешифратор (ДШ) перетворює двійковий код на входах в активний сигнал на тому виході, номер якого дорівнює десятковому еквіваленту двійкового коду на входах [9]. У повному дешифраторі кількість виходів  $m = 2^n$ , де  $n$  - число входів. У неповному ДШ  $m$  менше ніж  $2^n$ . За визначенням повний ДШ повинен генерувати  $2^n$  вихідних логічних функцій, визначених на всіх наборах з  $n$ , - вхідних змінних, тобто мінтермів.

З таблиці станів (таблиця 2.2) виходить, що на кожному вході дешифратора повинен стояти інвертор.

Таблиця 2.2 – Таблиця станів лінійного дешифратора

Входи			Виходи							
A	B	C	Y0	Y1	Y2	Y3	Y4	Y5	Y6	Y7
0	0	0	1	0	0	0	0	0	0	0
0	0	1	0	1	0	0	0	0	0	0
0	1	0	0	0	1	0	0	0	0	0
0	1	1	0	0	0	1	0	0	0	0
1	0	0	0	0	0	0	1	0	0	0
1	0	1	0	0	0	0	0	1	0	0
1	1	0	0	0	0	0	0	0	1	0
1	1	1	0	0	0	0	0	0	0	1

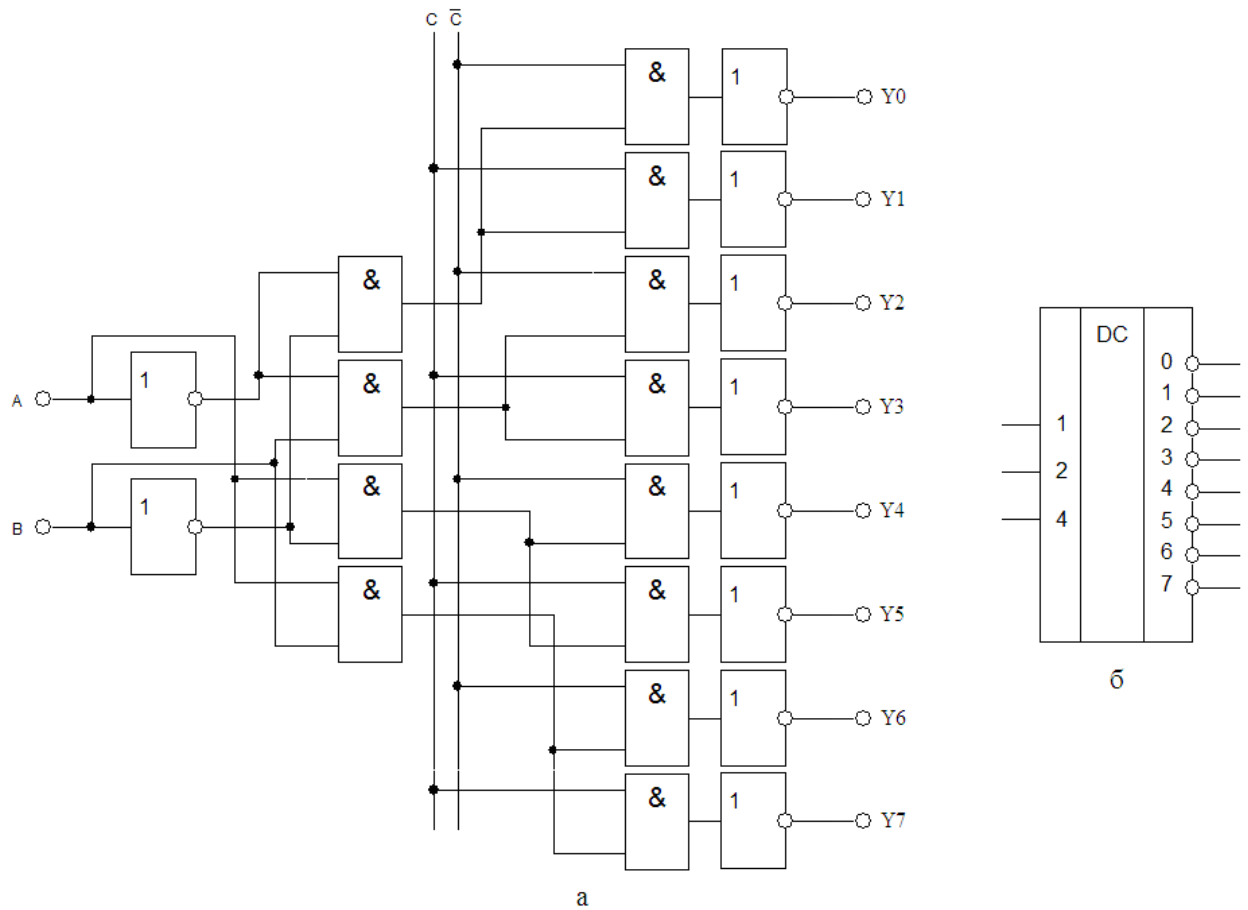
Рівняння функціонування дешифратора по кожному виходу визначається певною комбінацією вхідних сигналів. Рівняння для інверсних виходів дешифратора катодів:

$$\overline{Y0} = \overline{\overline{ABC}}; \overline{Y1} = \overline{\overline{ABC}}; \overline{Y2} = \overline{\overline{ABC}}; \overline{Y3} = \overline{\overline{ABC}};$$

$$\overline{Y4} = \overline{\overline{ABC}}; \overline{Y5} = \overline{\overline{ABC}}; \overline{Y6} = \overline{\overline{ABC}}; \overline{Y7} = \overline{\overline{ABC}}$$

Відповідно до рівнянь функціонування побудуємо схему дешифратора (рис. 2.11). Проаналізуємо можливість стробування вхідних імпульсів.

Розглянемо ДШ з  $n = 2$  і  $m = 4$ , званий також дешифратором "2 в 4" і доповнимо його входом дозволу виходів Output Enable (OE). Активним рівнем сигналу на прямих входах/виходах буде «1», а на інверсних «0».



а – розрахована схема дешифратора;

б – умовне графічне позначення

Рисунок 2.11 – Дешифратор катодів розрядів індикатора

За цим визначенням заповнимо таблицю істинності, де величина  $\times$  може набувати будь-яких значень (табл. 2.3).

Таблиця 2.3 – Таблиця істинності дешифратора "2 в 4"

DEC число	Входи				Виходи								ЛФ	
	A	B	OE	$\overline{OE}$	F0	F1	F2	F3	$\overline{F0}$	$\overline{F1}$	$\overline{F2}$	$\overline{F3}$		
0	0	0			1	0	0	0	0	0	1	1	1	$F0 = OE \cdot \overline{A} \cdot \overline{B}$
1	0	1	1	0	0	1	0	0	1	0	1	1	$F1 = OE \cdot \overline{A} \cdot B$	
2	1	0			0	0	1	0	1	1	0	1	$F2 = OE \cdot A \cdot \overline{B}$	
3	1	1			0	0	0	1	1	1	1	0	$F3 = OE \cdot A \cdot B$	
$\times$	$\times$	$\times$	0	1	0	0	0	0	1	1	1	1	$F_i = 0 \quad \overline{F_i} = 1$	

Карта Карно для прямого виходу F0 і 3-х вхідних змінних матиме вигляд:

		F0			
		A			
		0	0	0	0
OE		1	0	0	0
		B			

Карта Карно для трьох змінних містить лише одну таку клітку, тому логічна функція виходу F0 матиме вигляд:  $F0 = OE \cdot \overline{A} \cdot \overline{B}$ . Аналогічно отримано останні три рівняння. Перетворимо отримані для  $F_i$  рівняння до інверсної форми, що необхідно для управління підключення катодів індикатора.

$$\overline{F0} = \overline{OE \cdot \overline{A} \cdot \overline{B}}; \overline{F1} = \overline{OE \cdot \overline{A} \cdot B}; \overline{F2} = \overline{OE \cdot A \cdot \overline{B}}; \overline{F3} = \overline{OE \cdot A \cdot B};$$

Рішенню відповідає схема на рисунку 2.12.

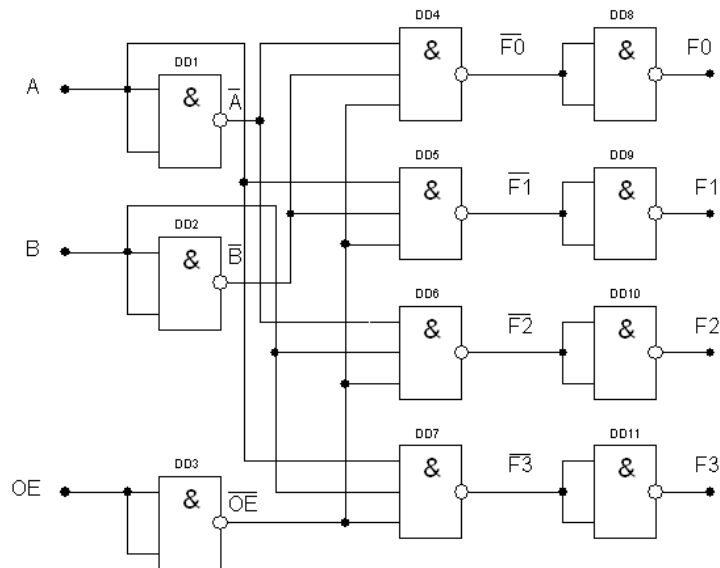


Рисунок 2.12 – Розрахована схема дешифратора

Можливі комбінації прямих і інверсних входів і виходів дешифраторів.

Під час дії сигналу  $\overline{OE} = 1$  на нижніх входах елементів І-НІ (DD4...DD7) присутній  $OE = 0$ , і незалежно від значень A, B, вихідні значення  $\overline{F_i} = 1$ , а  $F_i = 0$ . В ці відрізки години виходи "заборонені", тобто на прямих виходах  $F_i$  встановлюється пасивний рівень «0», а на інверсних виходах пасив-

на «1». В інтервалі сигналу  $OE = 1$  значення  $F_i$  залежать лише від змінних  $A$ ,  $B$  [10].

Пояснити роботу дешифратора можна за допомогою часових діаграм для схеми (рис. 2.13).

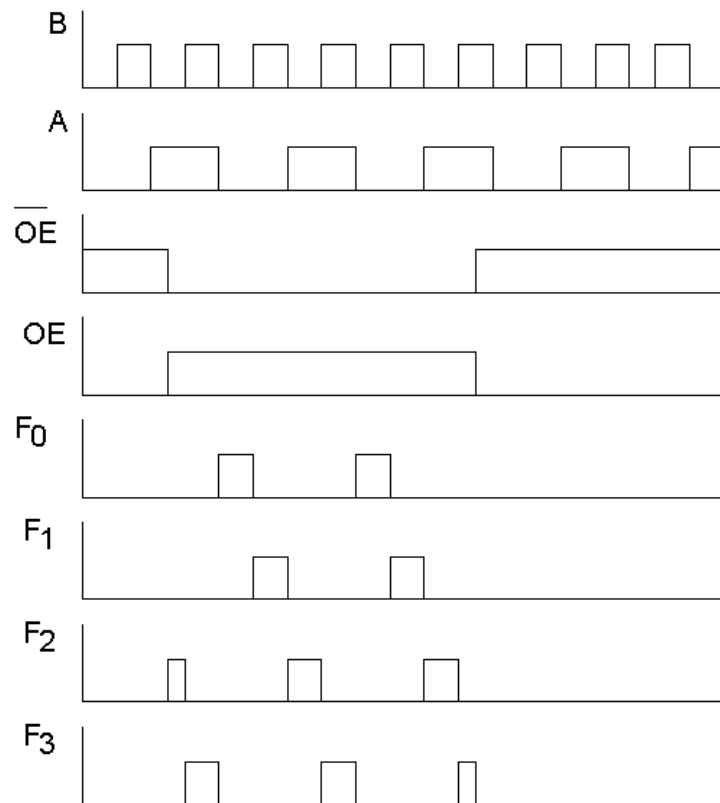


Рисунок 2.13 – Діаграма функціонування дешифратора

Замість інвертора  $OE$ , може застосовуватися складніша схема, показана на рисунку 2.14. Тут  $OE = 1$  у разі, коли  $\overline{OE1} = \overline{OE2} = 0$  і  $OE3 = 1$ .

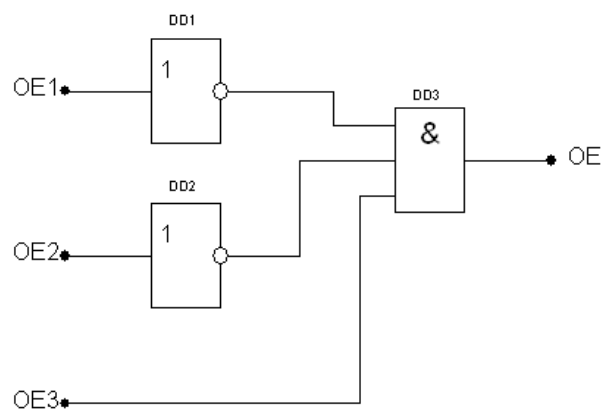


Рисунок 2.14 – Варіант схеми входу  $OE$



Для організації дешифрації катодів розрядів індикатора обираємо мікросхему К155ИД4, яка представляє собою два ідентичних двійково-десяткових дешифратора на два входи (двійковий код з вагою 1-2) і чотири виходи (десятковий код 0-3) кожен. Адресні двійкові входи дешифраторів включені паралельно (виводи 3, 13 мікросхем) (рис. 2.15).

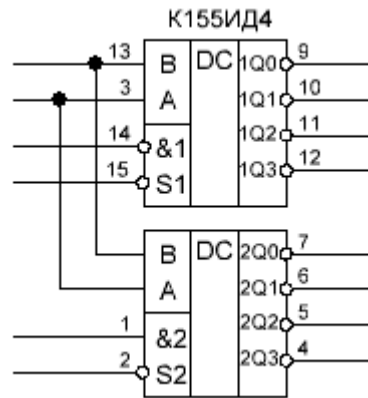


Рисунок 2.15 – Умовне графічне позначення мікросхеми К155 ИД4

Кожен дешифратор має свої входи стробування. У верхнього за схемою дешифратора входи стробування сполучені по «I». Логічний «0» на обох входах дозволяє дешифрування, «1» на будь-якому з них переводить всі виходи дешифратора в «1». Нижній за схемою дешифратор має стробуючі входи, сполучені по «I», але з інверсією одного з них. Таким чином дешифрування станеться за наявності на стробуючих входах сигналів «1» і «0». При будь-якій іншій комбінації робота дешифратора буде заборонена (на всіх виходах «1»). Така організація дозволяє побудувати дешифратор на 8 виходів на одному корпусі без вживання додаткових елементів (рис. 2.16).

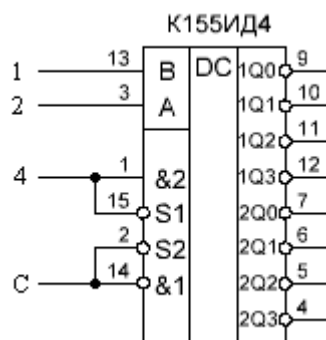


Рисунок 2.16 – Дешифратор на 8 виходів з стробуванням

Схема багатоканального логічного аналізатора повинна містити лічильник імпульсів, для постійного опитування комутатором вхідних кіл, які підключені до точок цифрового пристрою, що аналізується. Виходи лічильника також управляють входами дешифратора, для підключення катодів розрядів індикатора.

Лічильником називається послідовністний пристрій, призначений для підрахунку числа імпульсів, що поступають на його вхід, і фіксації цього числа у вигляді коду, що зберігається в тригерах. Лічильник відноситься до послідовних логічних пристроїв [11]. Число розрядів лічильника визначається найбільшим числом підраховуваних імпульсів. У лічильниках є один вхід і  $n$  виходів по числу розрядів. Для установки початкового стану лічильника (скидання в нуль) зазвичай передбачається вхід скидання. Лічильники будуються на Т – тригерах або на універсальних JK – тригерах.

JK – тригер – це схема з двома стійкими вихідними станами і двома входами J і K установки виходу Q тригера в стан 1 або 0. В JK – тригері наявність  $J = K = 1$  наводить до переходу виходу Q тригера в протилежний стан (рис. 2.17).

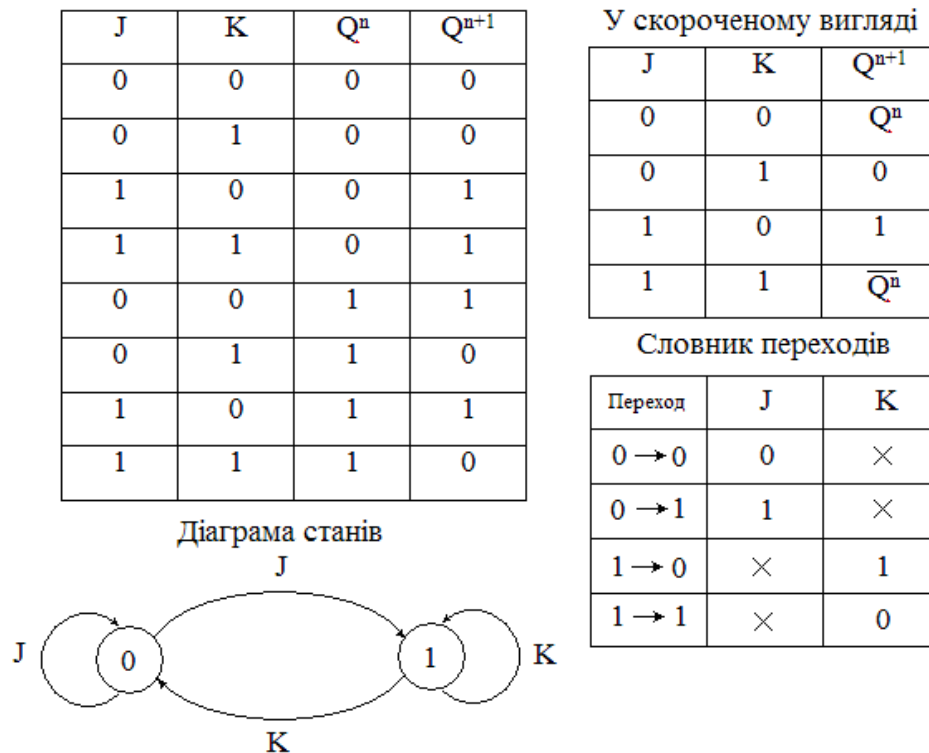


Рисунок 2.17 – Таблиця, словник і діаграма переходів JK-тригера

Відповідно до таблиці функціонування:

			J	
	0	0	1	1
Q <sup>n+1</sup>	1	0	0	1
Q <sup>n</sup>	K			

Рівняння функціонування:

$$Q^{n+1} = J\bar{Q}^n + \bar{K}Q^n$$

Розроблені і застосовуються в основному в інтегральному виконання JK – тригери, що тактуються фронтом тактових імпульсів, які не чутливі до тривалості тактових імпульсів. JK – тригери, що тактуються фронтом, будуються за схемою представленою на рисунку 2.18.

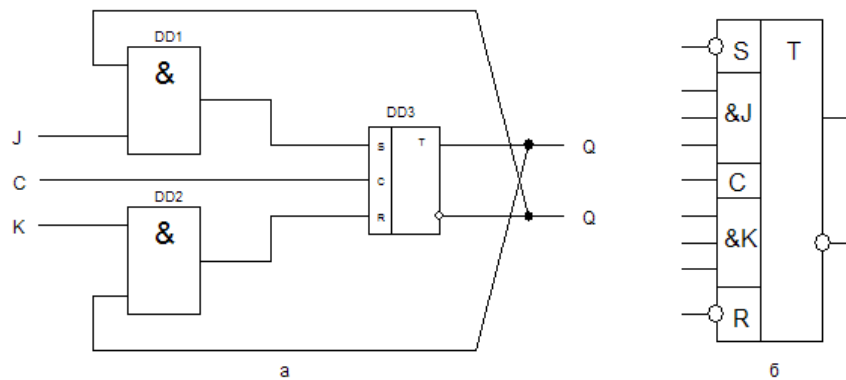


Рисунок 2.18 – JK – тригер: а) структурна схема, б) умовне графічне позначення JK – тригера

Тригер JK –типа називають універсальним тому, що на його основі за допомогою нескладних комутаційних перетворень можна отримати RS і T – тригери, а якщо між входами J і K включити інвертор, то вийде схема D – тригера (рис. 2.19).

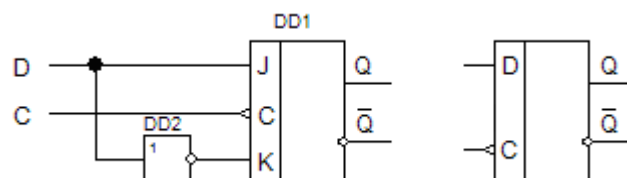


Рисунок 2.19 – D – тригер з JK – тригера

Для D-тригера скорочена таблиця істинності, словник переходів і діаграма станів приведені на рисунку 2.20.

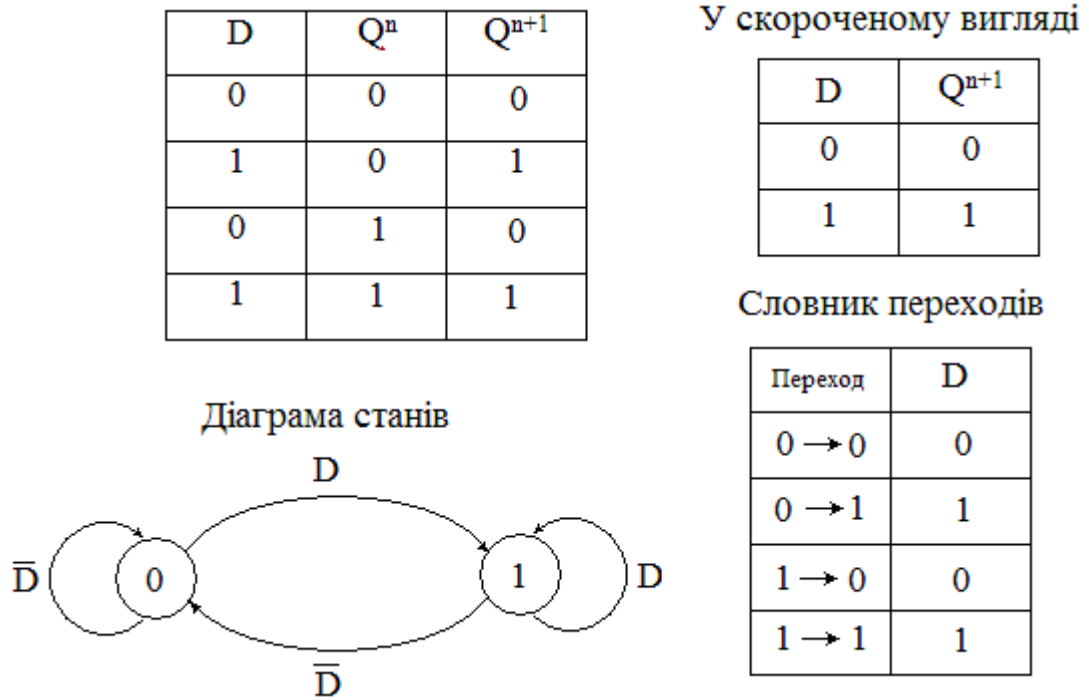


Рисунок 2.20 – Таблиця, словник і діаграма переходів D-тригера

Рівняння функціонування D-тригера:

$$Q^{n+1} = D.$$

Для функціонування логічного аналізатора необхідно розрахувати лічильник з коефіцієнтом рахунку  $K_{\text{рах}} = 8$ . Для його побудови необхідно  $m = \log_2 8 = 3$  тригери, що відповідає трьом розрядам двійкового числа.

Алгоритм станів такого лічильника представлений в таблиці 2.4. Вхідний сигнал  $x^n$  позначимо через 1,  $Q_3^n$  – старший розряд,  $Q_1^n$  – молодший розряд.

Таблиця 2.4 – Алгоритм станів лічильника

$x^n$	$Q_3^n$	$Q_2^n$	$Q_1^n$	$Q_3^{n+1}$	$Q_2^{n+1}$	$Q_1^{n+1}$
1	0	0	0	1	1	1
1	0	0	1	1	1	0
1	0	1	0	1	0	1
1	0	1	1	1	0	0
1	1	0	0	0	1	1
1	1	0	1	0	1	0
1	1	1	0	0	0	1
1	1	1	1	0	0	0

З аналізу таблиці видно:

- тригер молодшого розряду Q1 перемикається від кожного вхідного сигналу;
- другий розряд Q2 перемикається через два вхідні сигнали;
- третій розряд Q3 перемикається через чотири вхідні сигнали.

Таким чином, частота перемикання кожного наступного тригера зменшується удвічі. Отже, лічильник можна побудувати як коло послідовно включених рахункових тригерів.

Побудуємо такий лічильник на D-тригерах, що працюють в рахунковому режимі.

Складаємо карти функцій переходів тригерів лічильника.

$Q_1^n \rightarrow Q_1^{n+1}$	$Q_2^n \rightarrow Q_2^{n+1}$	$Q_3^n \rightarrow Q_3^{n+1}$																																																									
<table style="border-collapse: collapse; margin: auto;"> <tr><td colspan="4" style="border: none; text-align: center;"><math>Q_3</math></td></tr> <tr><td style="border: none;">Q<sub>1</sub></td><td style="border: 1px solid black; padding: 2px;">01</td><td style="border: 1px solid black; padding: 2px;">01</td><td style="border: 1px solid black; padding: 2px;">01</td><td style="border: 1px solid black; padding: 2px;">01</td></tr> <tr><td style="border: none;"></td><td style="border: 1px solid black; padding: 2px;">10</td><td style="border: 1px solid black; padding: 2px;">10</td><td style="border: 1px solid black; padding: 2px;">10</td><td style="border: 1px solid black; padding: 2px;">10</td></tr> <tr><td style="border: none;"></td><td colspan="4" style="border: none; text-align: center;"><math>Q_2</math></td></tr> </table>	$Q_3$				Q <sub>1</sub>	01	01	01	01		10	10	10	10		$Q_2$				<table style="border-collapse: collapse; margin: auto;"> <tr><td colspan="4" style="border: none; text-align: center;"><math>Q_3</math></td></tr> <tr><td style="border: none;">Q<sub>1</sub></td><td style="border: 1px solid black; padding: 2px;">01</td><td style="border: 1px solid black; padding: 2px;">10</td><td style="border: 1px solid black; padding: 2px;">10</td><td style="border: 1px solid black; padding: 2px;">01</td></tr> <tr><td style="border: none;"></td><td style="border: 1px solid black; padding: 2px;">01</td><td style="border: 1px solid black; padding: 2px;">10</td><td style="border: 1px solid black; padding: 2px;">10</td><td style="border: 1px solid black; padding: 2px;">01</td></tr> <tr><td style="border: none;"></td><td colspan="4" style="border: none; text-align: center;"><math>Q_2</math></td></tr> </table>	$Q_3$				Q <sub>1</sub>	01	10	10	01		01	10	10	01		$Q_2$				<table style="border-collapse: collapse; margin: auto;"> <tr><td colspan="4" style="border: none; text-align: center;"><math>Q_3</math></td></tr> <tr><td style="border: none;">Q<sub>1</sub></td><td style="border: 1px solid black; padding: 2px;">01</td><td style="border: 1px solid black; padding: 2px;">01</td><td style="border: 1px solid black; padding: 2px;">10</td><td style="border: 1px solid black; padding: 2px;">10</td></tr> <tr><td style="border: none;"></td><td style="border: 1px solid black; padding: 2px;">01</td><td style="border: 1px solid black; padding: 2px;">01</td><td style="border: 1px solid black; padding: 2px;">10</td><td style="border: 1px solid black; padding: 2px;">10</td></tr> <tr><td style="border: none;"></td><td colspan="4" style="border: none; text-align: center;"><math>Q_2</math></td></tr> </table>	$Q_3$				Q <sub>1</sub>	01	01	10	10		01	01	10	10		$Q_2$			
$Q_3$																																																											
Q <sub>1</sub>	01	01	01	01																																																							
	10	10	10	10																																																							
	$Q_2$																																																										
$Q_3$																																																											
Q <sub>1</sub>	01	10	10	01																																																							
	01	10	10	01																																																							
	$Q_2$																																																										
$Q_3$																																																											
Q <sub>1</sub>	01	01	10	10																																																							
	01	01	10	10																																																							
	$Q_2$																																																										

Використовуючи словник переходів D-тригера, для кожного входу тригера складемо карти Карно, в клітках яких проставимо сигнали, необхідні для забезпечення переходів тригерів, вказаних в однойменних клітках карт функцій переходів.

$D_1$	$D_2$	$D_3$																																																									
<table style="border-collapse: collapse; margin: auto;"> <tr><td colspan="4" style="border: none; text-align: center;"><math>Q_3</math></td></tr> <tr><td style="border: none;">Q<sub>1</sub></td><td style="border: 1px solid black; padding: 2px; border-radius: 50%;">1</td><td style="border: 1px solid black; padding: 2px; border-radius: 50%;">1</td><td style="border: 1px solid black; padding: 2px; border-radius: 50%;">1</td><td style="border: 1px solid black; padding: 2px; border-radius: 50%;">1</td></tr> <tr><td style="border: none;"></td><td style="border: 1px solid black; padding: 2px;">0</td><td style="border: 1px solid black; padding: 2px;">0</td><td style="border: 1px solid black; padding: 2px;">0</td><td style="border: 1px solid black; padding: 2px;">0</td></tr> <tr><td style="border: none;"></td><td colspan="4" style="border: none; text-align: center;"><math>Q_2</math></td></tr> </table>	$Q_3$				Q <sub>1</sub>	1	1	1	1		0	0	0	0		$Q_2$				<table style="border-collapse: collapse; margin: auto;"> <tr><td colspan="4" style="border: none; text-align: center;"><math>Q_3</math></td></tr> <tr><td style="border: none;">Q<sub>1</sub></td><td style="border: 1px solid black; padding: 2px;">1</td><td style="border: 1px solid black; padding: 2px;">0</td><td style="border: 1px solid black; padding: 2px;">0</td><td style="border: 1px solid black; padding: 2px;">1</td></tr> <tr><td style="border: none;"></td><td style="border: 1px solid black; padding: 2px;">1</td><td style="border: 1px solid black; padding: 2px;">0</td><td style="border: 1px solid black; padding: 2px;">0</td><td style="border: 1px solid black; padding: 2px;">1</td></tr> <tr><td style="border: none;"></td><td colspan="4" style="border: none; text-align: center;"><math>Q_2</math></td></tr> </table>	$Q_3$				Q <sub>1</sub>	1	0	0	1		1	0	0	1		$Q_2$				<table style="border-collapse: collapse; margin: auto;"> <tr><td colspan="4" style="border: none; text-align: center;"><math>Q_3</math></td></tr> <tr><td style="border: none;">Q<sub>1</sub></td><td style="border: 1px solid black; padding: 2px; border-radius: 50%;">1</td><td style="border: 1px solid black; padding: 2px; border-radius: 50%;">1</td><td style="border: 1px solid black; padding: 2px;">0</td><td style="border: 1px solid black; padding: 2px;">0</td></tr> <tr><td style="border: none;"></td><td style="border: 1px solid black; padding: 2px; border-radius: 50%;">1</td><td style="border: 1px solid black; padding: 2px; border-radius: 50%;">1</td><td style="border: 1px solid black; padding: 2px;">0</td><td style="border: 1px solid black; padding: 2px;">0</td></tr> <tr><td style="border: none;"></td><td colspan="4" style="border: none; text-align: center;"><math>Q_2</math></td></tr> </table>	$Q_3$				Q <sub>1</sub>	1	1	0	0		1	1	0	0		$Q_2$			
$Q_3$																																																											
Q <sub>1</sub>	1	1	1	1																																																							
	0	0	0	0																																																							
	$Q_2$																																																										
$Q_3$																																																											
Q <sub>1</sub>	1	0	0	1																																																							
	1	0	0	1																																																							
	$Q_2$																																																										
$Q_3$																																																											
Q <sub>1</sub>	1	1	0	0																																																							
	1	1	0	0																																																							
	$Q_2$																																																										

Функції входів лічильника мають вигляд:

$$D_1 = \overline{Q_1}; \quad D_2 = \overline{Q_2}; \quad D_3 = \overline{Q_3}$$

Побудуємо лічильник на D-тригерах, що працюють в рахунковому режимі (рис. 2.21). Діаграма функціонування лічильника для багатоканального логічного аналізатора представлена на рисунку 2.22.

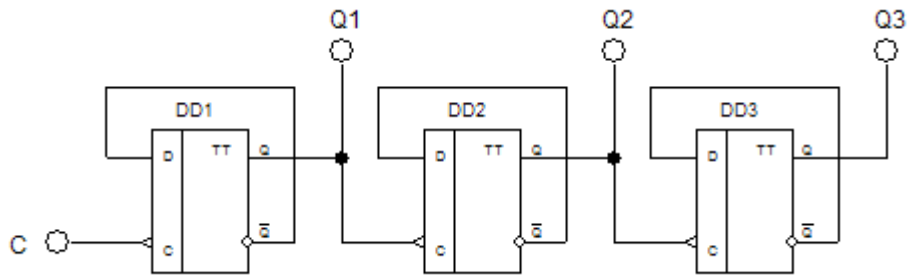


Рисунок 2.21 - Лічильник для багатоканального логічного аналізатора

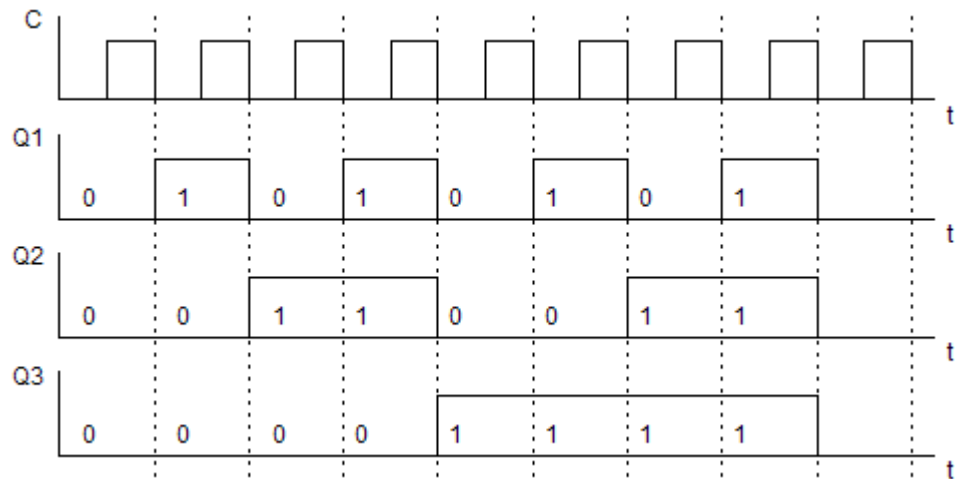


Рисунок 2.22 - Діаграма функціонування лічильника

Моделювання функціонування лічильника багатоканального логічного аналізатора в програмному забезпеченні Electronics Workbench представлено на рисунку 2.23.

За результатами моделювання можливо застосувати в схемі мікросхеми K155IE5 (рис. 2.24). Мікросхема містить рахунковий тригер (вхід C1), діляник на вісім (вхід C2), утворений сполученими послідовно тригерами. Тригери спрацьовують по зрізу вхідного імпульсу (переходу з 1 в 0). Якщо з'єднати послідовно всі 4 тригери, як показано на рисунку, вийде лічильник по модулю  $2^n = 16$ . Максимальне число, що зберігається в лічильнику, при повному заповненні його одиницями рівне:  $N = 2^n - 1 = 15 = (1111)_2$ . Такий лічильник працює з коефіцієнтом рахунку  $K_{\text{рах}}$ , кратним цілій мірі числа 2 і в нім здійснюється циклічний перебір  $K_{\text{рах}} = 2^n$  стійких станів. Лічильник має виводи примусової установки в 0. На вхід C лічильника поступають сигнали від генератора тактових імпульсів.

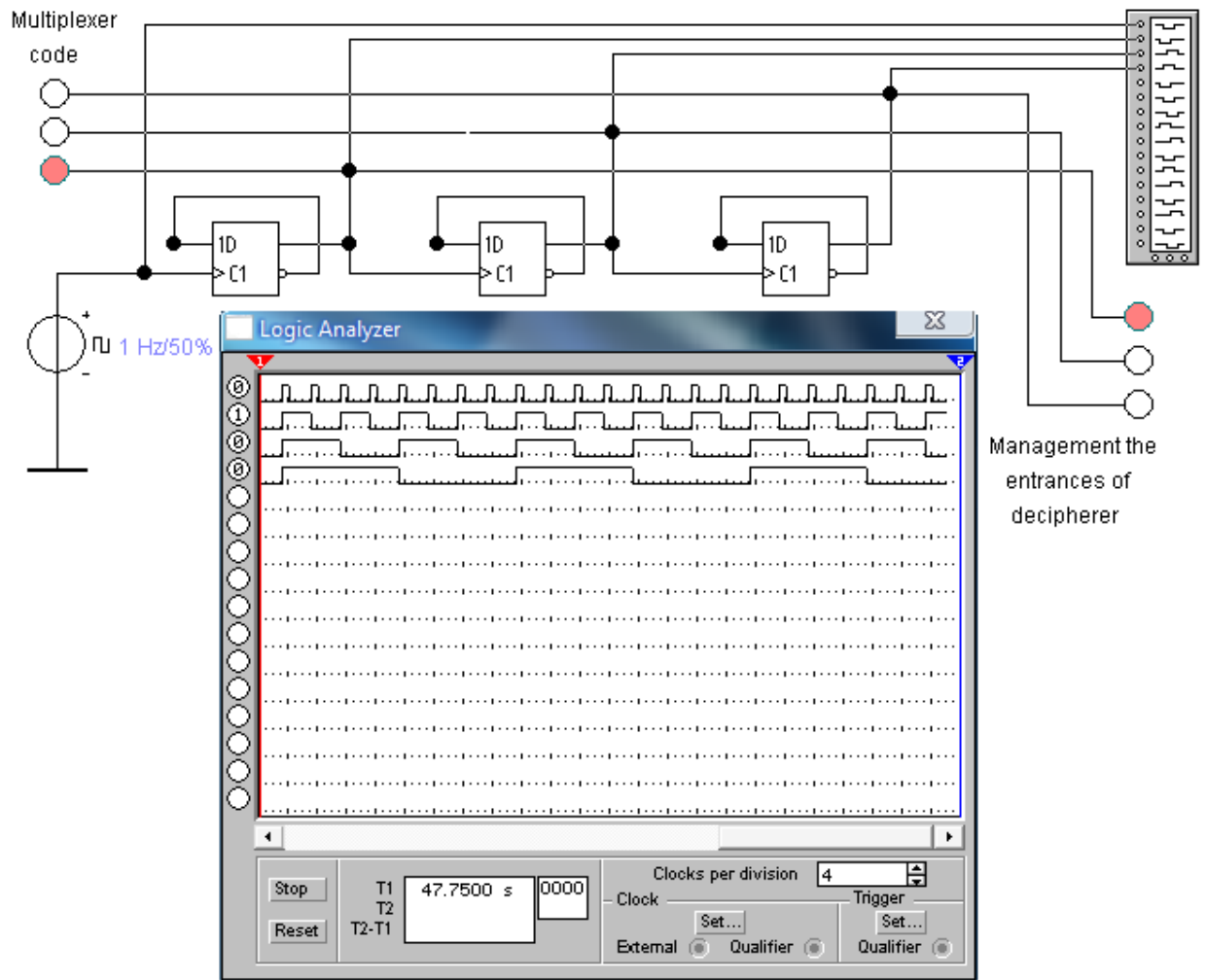


Рисунок 2.23 - Моделювання функціонування лічильника багатоканального логічного тестера аналізатора

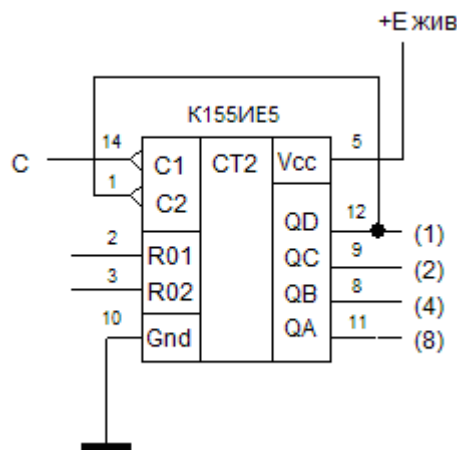
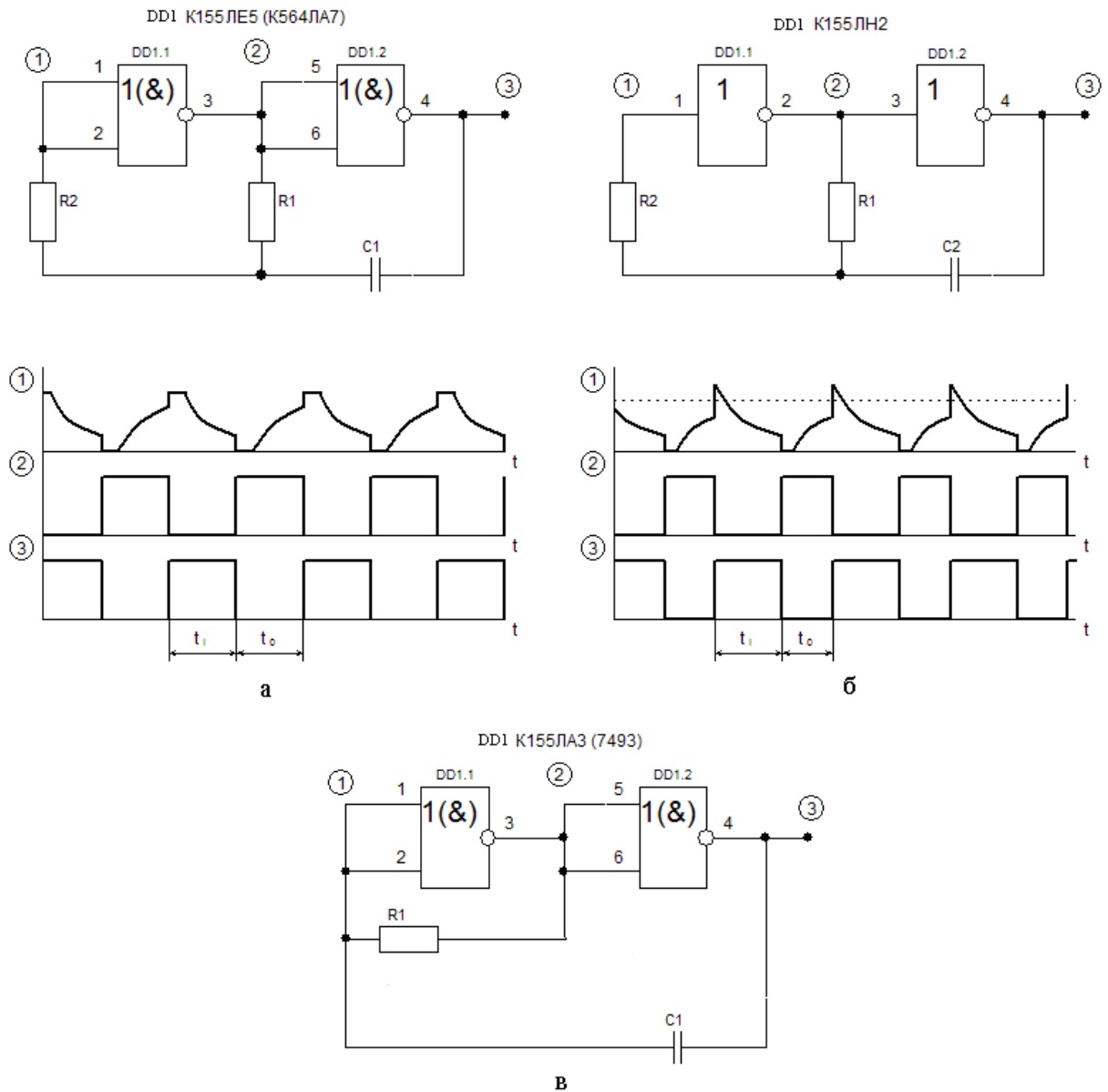


Рисунок 2.24 – Мікросхема K155IE5

Варіант генератора тактових імпульсів [8] на двох інверторах показаний на рисунку 2.25, а. Схема має два динамічних стана.



а – генератор на мікросхемі K155ЛЕ5;

б - генератор на мікросхемі K155ЛН2;

в – генератор на мікросхемі K155ЛА3

Рисунок 2.25 – Генератори імпульсів на двох інверторах

У першому з них, коли на виході DD1.1 стан логічної "1" (вихід DD1.2 логічний "0"), конденсатор C1 заряджається. В процесі заряду напруга на вході інвертора DD1.1 зростає, і досягши значення  $U_{пор} = 0,5U_{жив}$  відбувається стрибкоподібний перехід в другий динамічний стан, в якому на виходах DD1.1 логічний "0", DD1.2 логічна "1". У цьому стані відбувається перезаряд ємкості (розряд) струмом зворотного напрямку.



Досягши напруги на  $C1$   $U_{\text{пор}}$  відбувається повернення схеми в перший динамічний стан. Діаграма напруги пояснює роботу генератора. Резистор  $R2$  являється обмежувальним, і його опір не повинен бути менше 1 кОм. Аби він не впливав на розрахункову частоту, номінал резистора  $R1$  обирається значно більше  $R2$  ( $R2 < 0,01R1$ ). Обмежувальний резистор ( $R2$ ) інколи встановлюють послідовно з конденсатором. При використанні неполярного конденсатора  $C1$  тривалість імпульсів ( $t_i$ ) і паузи ( $t_0$ ) будуть майже однаковими:  $t_i = t_0 = 0,7R1C1$ . Повний період  $T = 1,4R1C1$ . Резистор  $R1$  і конденсатор  $C1$  можуть знаходитися в діапазоні 20 кОм ...10 МОм; 300 пф ...100 мкФ.

При використанні в схемі (рис. 2.25, б) двох інверторів мікросхеми К561ЛН2 (вони мають на вході лише один захисний діод) перезаряд конденсатора походить від рівня  $U_{\text{жив}} + U_{\text{пор}}$ . Внаслідок чого симетричність імпульсів порушується  $t_i = 1,1R1C1$ ,  $t_0 = 0,5R1C1$ , період  $T = 1,6R1C1$ .

Оскільки поріг перемикавання логічних елементів не відповідає точно половині напруги живлення, аби отримати симетричність імпульсів, в традиційну схему генератора можна додати ланцюг з  $R1$  і  $C1$  (рис. 2.25, в). Резистор  $R1$  дозволяє підстроюванням отримати меандр ( $t_i = t_0$ ) на виході генератора.

### 2.2.3 Розробка схеми перетворювача послідовного коду з комутатора в сегментну інформацію на індикаторі

Операція зміни коду числа називається його перекодуванням. Перетворювачі коду (ПК) бувають прості і складні [10]. До простих відносяться перетворювачі, які виконують стандартні операції зміни коду чисел, наприклад, перетворень двійкового коду в одинарний або зворотну операцію. Складні перетворювачі код виконують нестандартні перетворення коду і їх схеми доводиться розробляти кожен раз за допомогою алгебри логіки. Перетворювачі коду можуть бути ваговими і неваговими. Вагові ПК перетворюють інформа-

цію з однієї системи числення в іншу. Основне призначення невагових - перетворення інформації для її подальшого відображення.

Складемо таблицю функціонування перетворювача (табл. 2.5).

Таблиця 2.5 – Алгоритм функціонування перетворювача

Виходи компаратора		Входи сегментів індикаторів							
Q1	Q2	a	b	c	d	e	f	g	h
0	0	1	1	1	1	1	1	0	0
0	1	×	×	×	×	×	×	×	×
1	0	×	×	×	×	×	×	×	×
1	1	0	1	1	0	0	0	0	1

Згідно з завданням, що до функціонування перетворювача, індикатор відстежує розділений емітерними повторювачами вхідний сигнал, який адресно комутується в послідовному коді на виходи Q1, Q2 компараторів. Індикатор фіксує змінні рівні сигналу у вигляді «0» або «1».

З таблиці істинності перетворювача видно що в цифрі «0» повинні світитися всі сегменти за винятком сегменту g, в цифрі «1» світяться лише два сегменти b і c. Нулі проставлені для тих сегментів, які не світяться. Ситуація коли  $Q1 \neq Q2$  не передбачена функціонуванням. Сегменти b і c присутні в обох цифрах, тому інформаційно вони повинні бути розділені елементом АБО. Логічна схема функціонування перетворювача представлена на рисунку 2.26.

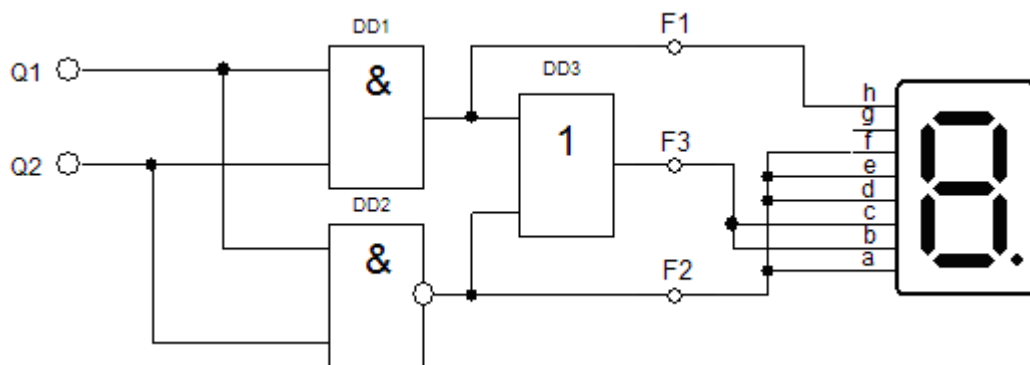


Рисунок 2.26 - Логічна схема функціонування перетворювача

Моделювання функціонування перетворювача послідовного коду з комутатора в сегментну інформацію на індикаторі багатоканального логічного аналізатора в програмному забезпеченні Electronics Workbench представлено на рисунку 2.27.

Для оптимізації елементної бази, застосуємо до логічної функції перетворювача закони алгебри логіки.

Рівняння функціонування в точках F1, F2, F3 схеми (рис. 2.26):

$$F1 = Q1 \cdot Q2; F2 = Q1 \cdot Q2 + \overline{Q1 \cdot Q2}; F3 = Q1 \cdot Q2$$

Перетворимо рівняння для F2 за допомогою функції закону подвійної інверсії и теореми де Моргана:

$$F2 = Q1 \cdot Q2 + \overline{Q1 \cdot Q2} = \overline{\overline{Q1 \cdot Q2 + \overline{Q1 \cdot Q2}}} = \overline{\overline{Q1 \cdot Q2} \cdot \overline{\overline{Q1 \cdot Q2}}}$$

Таким чином, схему перетворювача можливо виконати тільки на елементах І-НІ. Функції F1, F3 реалізуються на елементній базі функції F2 (рис. 2.28).

#### 2.2.4 Аналіз загальної схеми багатоканального логічного тестера аналізатора

Принципова схема багатоканального логічного тестера аналізатора представлена на рисунку 2.29. Виходи емітерних повторювачів підключені до інформаційних входів комутаторів DD1 і DD2.

Для почергового опиту вхідних пристроїв комутаторами і забезпечення динамічного режиму роботи багаторозрядного індикатора служать генератор тактових імпульсів на елементах DD3.1, DD3.2 і лічильник DD5. Сигнали двійкового коду з виходів 12, 9, 8 останнього поступають на входи 9, 10, 11 комутаторів і дешифратор DD6.

У кожен момент сигнали одного з вхідних пристроїв, номер якого відповідає десятковому еквіваленту двійкового коду, що управляє, проходять на виходи комутаторів і перетворюються в напругу, необхідну для роботи семисегментного індикатора, перетворювачем на мікросхемі DD4.

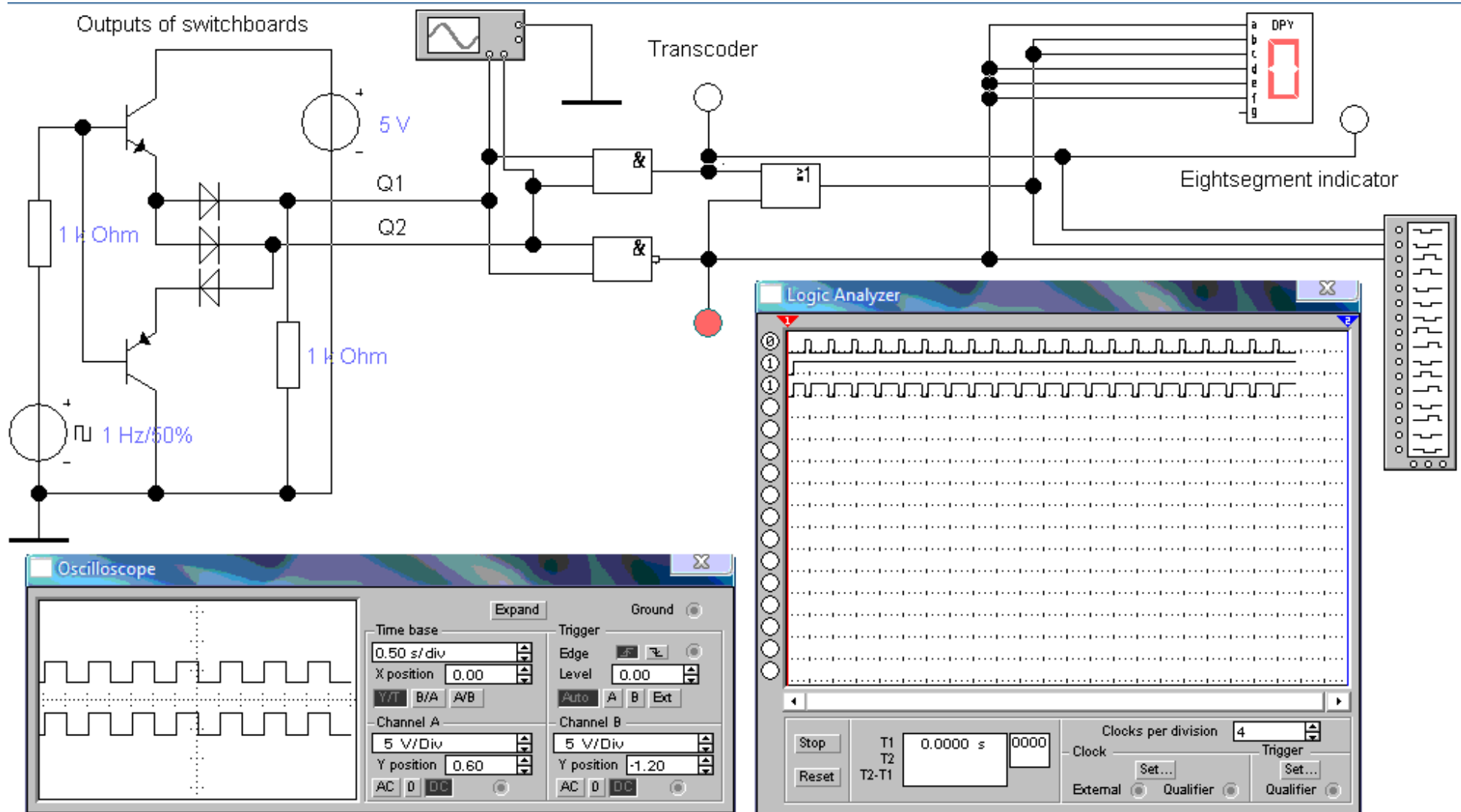


Рисунок 2.27 - Моделювання функціонування перетворювача послідовного коду з комутатора в сегментну інформацію на індикаторі багатоканального логічного тестера аналізатора

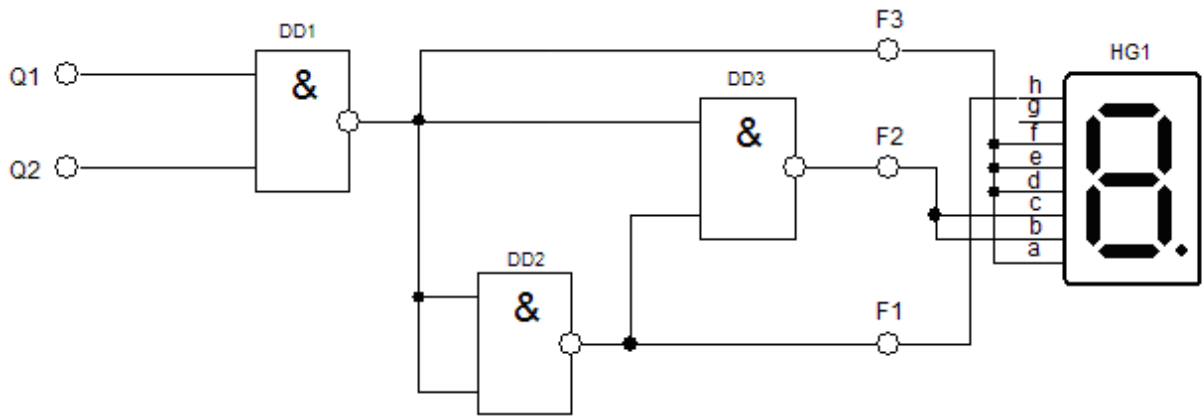


Рисунок 2.28 – Приведення схеми перетворювача до єдиного елементного базису

Напряга з його виходів через струмообмежувальні резистори R18 – R20 впливає на відповідні паралельно сполучені сегменти-анооди всіх розрядів індикатора.

Запаленням сегментів потрібного розряду управляє дешифратор DD6, виходи якого сполучені з катодами індикатора. Оскільки на входи дешифратора приходять сигнали двійкового коду, на одному з його виходів в кожен момент присутній рівень «0», завдяки чому і запалюються сегменти потрібного розряду. Якщо, наприклад, в якийсь момент на всіх виходах лічильника DD5 з'являються рівні «0», на виходи комутаторів DD1, DD2 проходять сигнали з вхідного пристрою A1, а на виході 9 дешифратора DD6 виникає рівень 0, який готує до роботи перший розряд індикатора. Інформація, яка поступає з вхідного пристрою A1, перетвориться в необхідну для роботи індикатора напругу, яка запалює сегменти першого розряду, утворюючи символ, відповідний стану цього входу аналізатора. При нарузі в контрольованій точці 0 ... 0,6 В (рівень «0») в першому розряді індикатора відображується цифра 0; 2,4 ... 7 В (рівень «1») – цифра 1, причому в останньому випадку світиться ще і розділовий знак (кома) праворуч від цифри. Одночасне свічення знаку і цифри 0 означає, що в досліджуваному колі присутні імпульси з частотою дотримання більше 20 Гц, а якщо горить лише розділовий знак, то це свідчить про те, що вхідний пристрій нікуди не підключений.

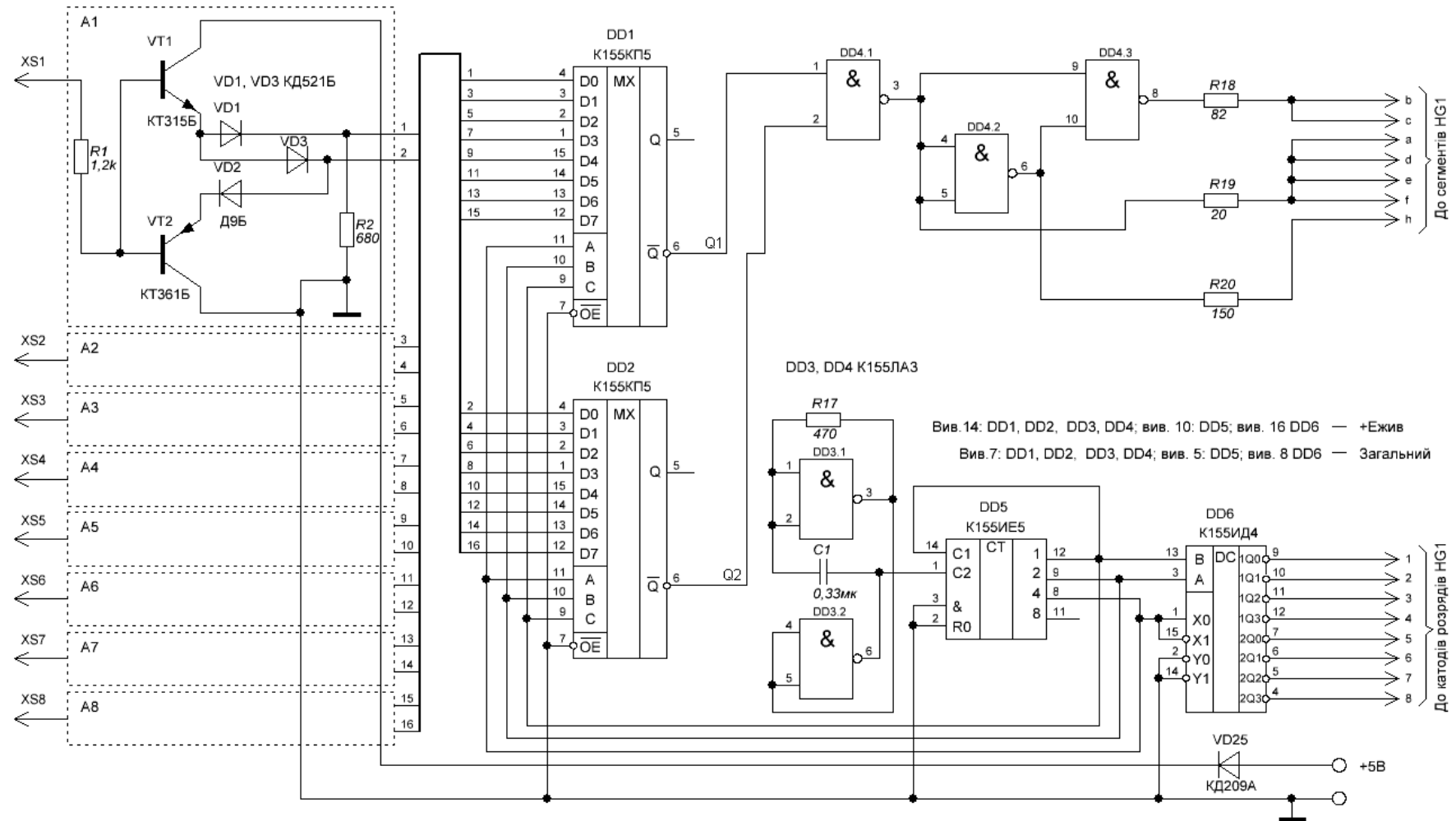


Рисунок 2.29 – Схема електрична принципова багатоканального логічного тестера аналізатора

Аналогічно відображуються стани і інших входів тестера аналізатора. Іншими словами, в кожен момент на індикаторі світиться лише один розряд, але оскільки частота дотримання імпульсів тактового генератора порівняно висока (1500 ... 1700 Гц), виникає ілюзія одночасного свічення всіх розрядів індикатора.

Діод VD25 захищає елементи аналізатора при неправильному (у зворотній полярності) підключенні джерела живлення.

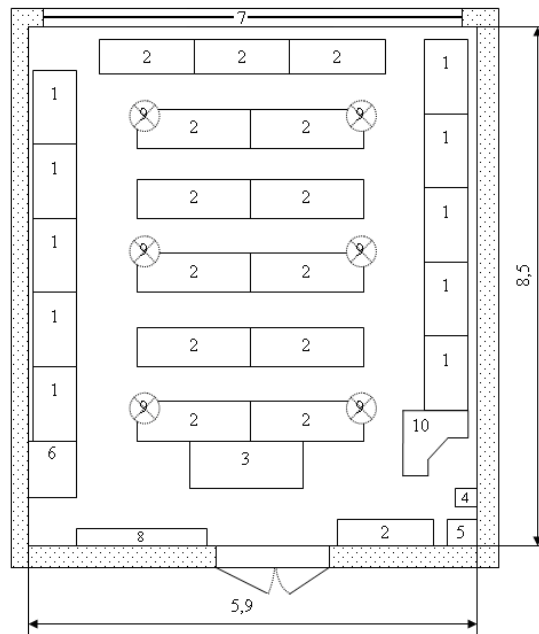
Розроблена схема логічного тестера аналізатора дозволяє проводити дослідження сигналів в восьми точках пристрою на цифрових мікросхемах з малими спотвореннями.

Схема аналізатора живиться від налагоджуваного пристрою, споживаючи струм не більше 150 мА.

### 3 Охорона праці та техногенна безпека

#### 3.1 Характеристика потенційних небезпечних та шкідливих виробничих факторів

При виконанні дипломної роботи комп'ютерне моделювання та розрахунок електронної схеми логічного аналізатора проводилися в приміщенні кафедри ЕІСПЗ, макет якої представлено на рисунку 3.1.



1 - стіл комп'ютерний; 2 - стіл аудиторний; 3 - стіл викладача; 4 - автомат відключення електричного живлення; 5 - шафа силова; 6 - шафа універсальна; 7 - вікно; 8 - дошка аудиторна; 9 - світильник 4-х ріжковий; 10 - стіл адміністратора мережі

Рисунок 3.1 – Макет приміщення в якому проводилися роботи

Площа приміщення складає  $50,15 \text{ м}^2$ ; об'єм  $175,52 \text{ м}^3$ ; довжина приміщення  $8,5 \text{ м}$ ; ширина приміщення  $5,9 \text{ м}$ ; висота приміщення  $3,5 \text{ м}$ ; число вікон 1; число робочих місць 10; освітлення: природне (через бічне вікно) і за-



гальне штучне. Параметри приміщення задовольняють нормативним значенням: площа  $6\text{ м}^2$ , об'єм  $20\text{ м}^3$  на одного працюючого.

Лабораторія є приміщенням легкої категорії (виконуються легкі фізичні роботи), тому повинні дотримуватися такі вимоги (період року – холодний):

- оптимальна температура повітря –  $22\dots24\text{ }^\circ\text{C}$  (допустима –  $20\dots24\text{ }^\circ\text{C}$ );
- оптимальна відносна вологість –  $40\dots60\%$  (допустима не більше  $75\%$ );
- швидкість руху повітря не більше  $0,1\text{ м/с}$ .

Оцінка шкідливих і небезпечних факторів та карта умов праці для робочого місця працівника лабораторії представлені в таблиці 3.1.

Аналіз шкідливих і небезпечних факторів дозволяє зробити висновок, що умови праці в лабораторії характеризуються наявністю нешкідливих виробничих чинників, які не призводять до зростання захворюваності з втратою працездатності та проявом початкових ознак професійної патології.

На ділянці проведення експерименту значна частина моделювання вироблялася на персональному комп'ютері IBM PC і макетному стенді, оснащеному блоками живлення, програмованими пристроями вхідних дій, реєструючим і вимірювальним устаткуванням. Печатні плати виготовлялися за технологією травлення фольгованого текстоліту на спеціальному стенді з витяжною шафою, розташованому в науково-дослідній лабораторії кафедри.

Тривала робота перед екраном монітора наводить до різних функціональних розладів організму, навантаження на очі. Захворювання поступово накопичуються. В основному страждають кисті, зап'ястя, плечі, шийна область.

### 3.2 Заходи з поліпшення умов праці

При проведенні моделювання схеми приладу, якість експерименту багато в чому залежить від освітлення, тому в лабораторії має бути передбачене штучне освітлення [12].

Таблиця 3.1 – Оцінка факторів виробничого та трудового процесу працівника лабораторії

№ п/п	Фактори виробничого середовища та трудового процесу	Нормативне значення	Фактичне значення	III клас: шкідливі та небезпечні умови, характер праці			Час дії фактора
				I ступінь	II ступінь	III ступінь	
1	Шкідливі хімічні речовини, мг/м <sup>3</sup> : I клас безпеки _____ II клас безпеки _____ III-IV клас безпеки _____						
2	Пил переважно фіброгенної дії, мг/м <sup>3</sup>						
3	Вібрація (загальна і локальна), дБ						
4	Шум, дБА						
5	Інфразвук, дБ						
6	Ультразвук, дБ						
7	Неіонізуючі випромінювання: - радіочастотний діапазон, В/м - діапазон промислової частоти, кВ/м - оптичний діапазон (лазерне випромінювання), Вт/м <sup>2</sup>						
8	Мікроклімат в приміщенні: - температура повітря, °С (тепл. п) - швидкість руху повітря, м/с - відносна вологість повітря, % - інфрачервоне випромінювання, Вт/м <sup>2</sup>	23 – 25 ≤ 0,2 40 – 60 100	23 0,1 60				100 100 100
9	Важкість і напруженість праці	категорія важкості праці - легка, категорія напруженості праці - мало напружена					

Незадовільне освітлення може спотворити інформацію, крім того, викликає стомлення організму в цілому. Неправильне освітлення може з'явитися причиною травматизму.

Залежно від класу приміщення по вибухонебезпеці і від чистоти середовища виробничих приміщень, визначається схема розташування світильників, їх марка і конструктивного виконання [13].

Для освітленості приміщення з розмірами  $A = 8,5$  м,  $B = 5,9$  м та висотою  $H = 3,5$  м використовуються 6 світильників з чотирма лампами розжарювання. Коефіцієнти віддзеркалення світлового потоку від стелі, стін і підлоги відповідно рівні  $p_{ном} = 70\%$ ,  $p_{ст} = 50\%$ ,  $p_{полу} = 10\%$ . Затінювання робочих місць немає. Висота світильника  $h_c = 0,9$  м, висота робочої поверхні над рівнем підлоги  $h_p = 0,8$  м. Нормативна величина освітленості робочих місць з відео-терміналами складає  $E_n = 300 - 500$  лк. В даному приміщенні освітленість  $350 - 500$  лк.

При монтажі компонентів на плату і формуванні топологічного рисунка струмопровідного шару виникає потенційна небезпека небажаної дії на організм речовин, що звертаються в технологічному процесі, і матеріалів. Всі речовини, що забруднюють повітря, надають шкідливу дію, якщо вони потрапляють в організм в кількостях, що перевищують деяку порогову величину (ГДК). У виробництві плат застосовують певні речовини, які шкідливі для організму. Клас небезпеки шкідливих речовин встановлюється залежно від гранично допустимої концентрації речовин в повітрі робочої зони. Це та концентрація яка переноситься без відхилень від нормального стану в перебігу робочого дня при щоденному диханні. Встановлено чотири класи шкідливих речовин: 1-й клас – речовини надзвичайно небезпечні; 2-й клас – речовини високо небезпечні; 3-й клас – речовини помірно небезпечні; 4-й клас – речовини мало небезпечні. Дія токсичних речовин виявляється в гострих і хронічних отруєннях.

При монтажі електронних плат застосовують ацетон, етиловий спирт для знежирення і очищення від пилу мікросхеми, а також олово і каніфоль для припаювання ніжок напівпровідникового приладу до плати. Спирт, ацетон викликає сухість шкіри. При систематичному вдиханні можливі захворювання сітківки ока. Також можливі нервово - психічні захворювання.

Каніфоль дратівливо діє на слизисті оболонки дихальних доріг і на шкіру, що наводить до дерматитів.

Основні засоби техніки безпеки – герметизація апаратури і устаткування, наявність припливний витяжній вентиляції в приміщенні проведення робіт і витяжна шафа для виготовлення печатних плат і монтажу компонентів паянням (рис. 3.2).

Витяжна шафа оснащена вентилятором моделі CE 140L-125. Вентилятор має крильчатки із заломленими вперед лопатками і двигун із зовнішнім ротором. Корпус виготовлений з листової сталі, що гальванізується. Для захисту двигуна від перегріву вентилятор оснащений вбудованими термоконтактами з ручним перезапуском.

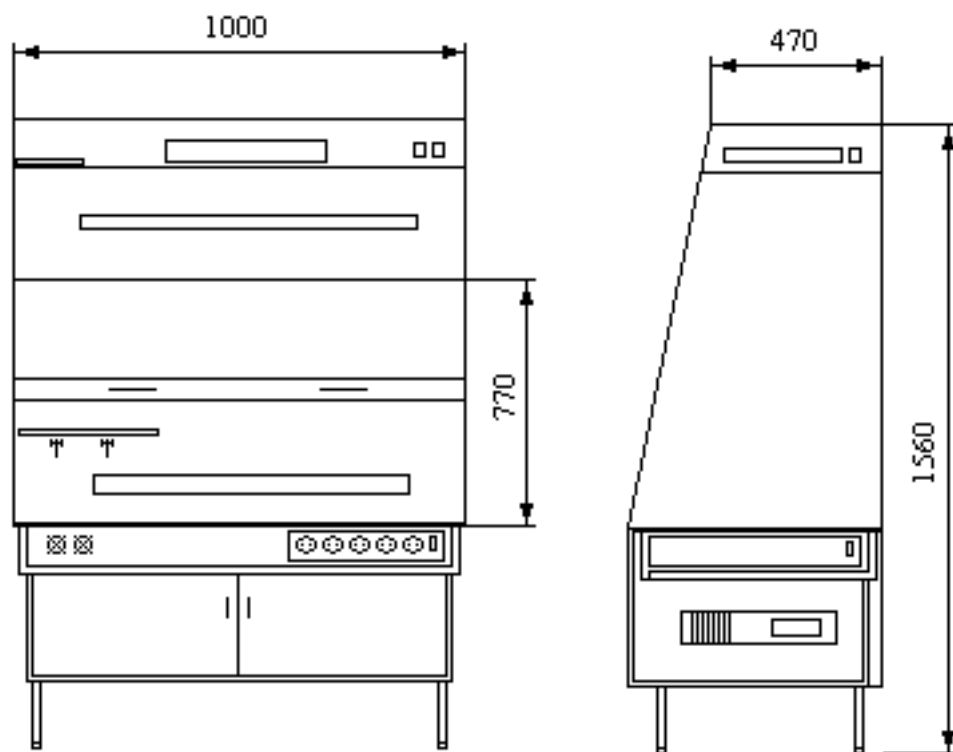


Рисунок 3.2 – Витяжна шафа для виготовлення печатних плат

### 3.3 Виробнича санітарія

У виробничих приміщеннях, в яких робота на відео терміналах і персональних комп'ютерах є допоміжною, температура, відносна вологість і швид-

кість руху повітря на робочих місцях повинні відповідати діючим санітарним нормам мікроклімату виробничих приміщень [13].

У виробничих приміщеннях, в яких робота на відео терміналах і персональних комп'ютерах є основною, повинні забезпечуватися оптимальні параметри мікроклімату відповідно до таблиці 3.2.

Таблиця 3.2 - Оптимальні норми мікроклімату для приміщень з відео-терміналами і персональними комп'ютерами

Період року	Категорія робіт	Температура повітря, °С (не більше)	Відносна вологість повітря %	Швидкість руху повітря м/с
Холодний	Легка – 1а	22-24	40-60	0.1
Теплий	Легка – 1а	23-25	40-60	0.1

До категорії 1а відносяться роботи, які виконуються сидячи і що не вимагають фізичної напруги, при яких витрата енергії складає до 120 ккал/ч. До категорії 1б відносяться роботи, які виконуються сидячи, стоячи або пов'язані з ходьбою і такі, що супроводяться деякою фізичною напругою, при яких витрата енергії складає від 120 до 150 ккал/год.

У приміщенні проведення експерименту підтримується мікроклімат відповідний нормативам, для категорії робіт «Легка – 1а»

Ергономічне розташування робочого міста за персональним комп'ютером оцінюється вимогами:

- до візуальних параметрів засобів відображення інформації індивідуального користування;
- до емісійних параметрів ПК - параметрів випромінювань дисплеїв, системних блоків, джерел живлення, зокрема безаварійного, і ін.

Робота з дисплеями при неправильному виборі яскравості і освітленості екрану, контрастності знаків, квітів знаку і фону, за наявності відблисків на

екрані, тремтіння і мигтіння зображення - приводить до зорового стомлення, головних болів, до значного фізіологічного і психічного навантаження, до погіршення зору.

Візуальні параметри і світловий клімат визначають зоровий дискомфорт, який може виявлятися при використанні будь-яких типів екранів дисплеїв, - на електронно-променевих трубках, рідкокристалічних, газорозрядних, електролюмінесценціях панелях або на інших фізичних принципах.

### 3.4 Електробезпека

Для забезпечення захисту від поразки електричним струмом у використуваних електроустановках повинні застосовуватися технічні способи і засоби захисту.

Приміщення за ступенем небезпеки ураження людей електричним струмом відповідно до ПУЕ і ГОСТу 12.1.013-78 являється приміщенням без підвищеної небезпеки. Приміщення сухе, добре опалюване з струмонепровідною підлогою, з температурою 18-24 °С, з вологістю 40-50%. З електроустановок в ньому знаходяться відео термінальні пристрої та учбові стенди, які знаходяться під напругою  $U = 220 \text{ В}$ , частотою  $f = 50 \text{ Гц}$ .

Вибір того або іншого способу або засобу захисту (або їх поєднань) в конкретному електроприладі, і ефективність його вживання залежать від цілого ряду чинників, у тому числі від:

- номінальної напруги;
- роду, форми і частоти струму використовуваного приладу;
- способу електропостачання (від стаціонарної мережі, від автономного джерела живлення електроенергією);
- вигляду виконання (стаціонарні, пересувні, переносні);
- умов зовнішнього середовища;

- схеми можливого включення людини в ланцюг протікання струму (прямий однофазний, прямий двофазний дотик; включення під напругу кроку);

- вигляду робіт (монтаж, наладка, випробування) і ін.

Основними технічними засобами захисту є:

- захисне заземлення;
- автоматичне відключення живлення (занулення);
- пристрої захисного відключення;
- ізоляція струмопровідних частин.

Принцип роботи ПЗВ (рис. 3.3) полягає в тому, що воно постійно контролює вхідний сигнал і порівнює його з наперед заданою величиною. Якщо вхідний сигнал перевищує встановлене значення, то пристрій спрацьовує і відключає захищену електроустановку від мережі. Як вхідні сигнали пристроїв захисного відключення використовують різні параметри електричних мереж, які несуть в собі інформацію про умови поразки людини електричним струмом.

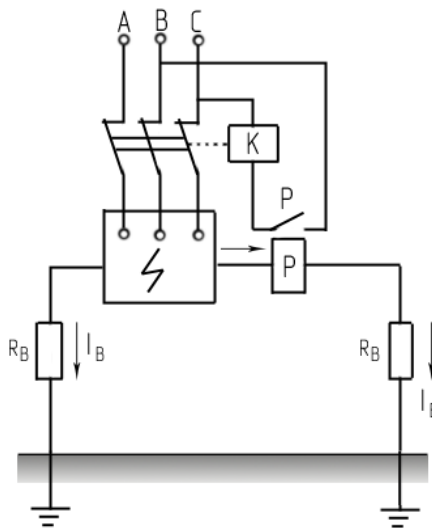


Рисунок 3.3 - Проста схема пристрою захисного відключення

Основними елементами будь-якого пристрою захисного відключення є датчик, перетворювач і виконавчий орган.

Основними параметрами, по яких підбирається те або інші ПЗВ є: номінальний струм навантаження, тобто робочий струм електроустановки, який

протікає через нормально замкнуті контакти ПЗВ в черговому режимі; номінальна напруга; встановлене значення напруги; час спрацьовування пристрою [14].

### 3.5 Пожежна безпека. Техногенна безпека

Виробництво напівпровідникових приладів, згідно ДБН В.1.1–7–2002, відноситься до категорії Б, оскільки це виробництво зв'язане із застосуванням речовин спирту і ацетону з температурою спалаху пари від 28 до 60°C горючих газів. Для зниження пожежної небезпеки використовують обмежену кількість матеріалів які обертаються в процесі, зберігаються, здатні горіти.

Характерними причинами виникнення пожеж в лабораторії є необережне поводження з вогнем, порушення технологічних процесів, неправильні електропроводки і устаткування, неправильне користування електричними приладами і ін. Для лабораторії встановлена категорія пожежної небезпеки В.

Основні будівельні конструкції будівлі, в якій знаходиться ділянка, виконані з тих, що не згорають і важко згорають матеріалів, що цегельних і виштукатурюють. Отже, вогнестійкість будівлі має 2 рівень. Для евакуації людей на випадок пожежі, згідно ДБН В.1.1–7–2002, в лабораторії є два евакуаційні виходи, розташованих в протилежних кінцях приміщення ділянки. Ширина дверей і сходів рівна 1,6 м, що відповідає нормі.

Відстань від найбільш видаленого робочого місця до найближчого виходу – 15 м. Швидкість пересування людей при евакуації – 16 м/хв. [14].

Згідно правилами влаштування електроустановок ПВЕ, будівля, в якій знаходиться ділянка по заходах захисту від блискавок, відноситься до категорії 3 і захищається від прямих ударів блискавок, і від замету високих потенціалів через землю, тобто підземні металеві комунікації приєднуються при введенні в об'єкт, що захищається, до заземлювачів електроустаткування. Отже, грозозахист заснований на стержневих громовідводах.



Для попередження пожеж на ділянці необхідно створити строгий протипожежний режим. Створюється загально об'єктова і лабораторна інструкція по ПБ, проводиться первинний протипожежний інструктаж на робочому місці; створюється план протипожежних заходів і евакуації людей на випадок пожежі.

Як вогнегасні речовини можна застосовувати воду, вуглекислоту, хімічну і повітряно-механічну піну. Для гасіння вогнищ усередині будівлі на майданчиках сходових кліток, в коридорах і отворі встановлюють пожежні крани, які розміщені в шафах, де знаходиться і рукав з протипожежним стволом. Для гасіння пожеж електроустановок використовується вуглекислий вогнегасник ОУ-2, в кількості двох вогнегасників на приміщення. Існують пожежна електрична сигналізація, яка забезпечує прямий зв'язок пожежної охорони з охоронним об'єктом. У даній будівлі застосовують звукову систему сигналізації. При появі сигналу сповіщення про пожежу співробітники лабораторії № 216 організовано без паніки покидають лабораторію і, залежно від місця спалаху, слідує або вліво через лабораторний корпус для виходу на вулицю Добролюбова, або управо для виходу на вулицю Незалежної України (рис. 3.4).

### 3.6 Розрахунок захисного заземлення

Заземленню підлягають вимірювальні установки, напруга живлення яких 220 В. У якості заземлювача візьмемо сталеві вертикальні стержні довжиною  $l = 2,5$  м, діаметром  $d = 0,04$  м, діаметр сполучної смуги  $b = 0,04$  м. Контур заземлення розташовано на горизонтальному майданчику біля корпусу академії. Грунт – суглинок.

Допустимий опір заземлюючого пристрою ( $R_n$ ) дорівнює 4 Ом [12]. Визначимо питомий електричний опір ґрунту (суглинку),  $\rho$  якого дорівнює 100 Ом·м [14].

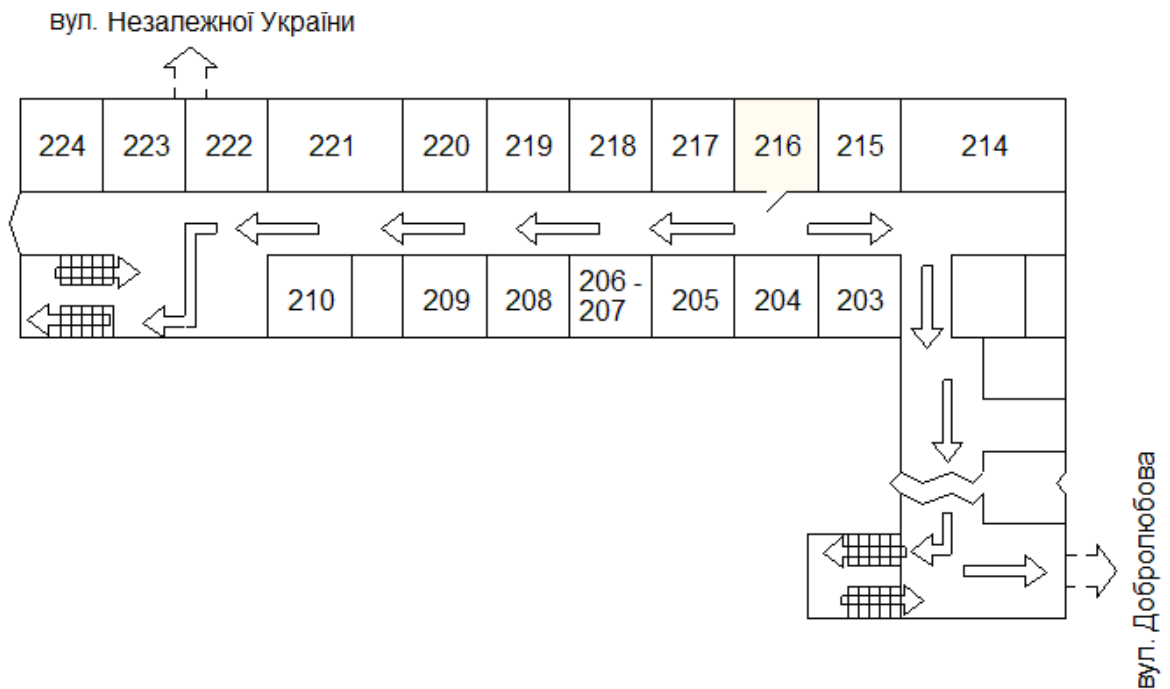


Рисунок 3.4 – План евакуації при пожежі із аудиторії № 216

Розрахуємо опір розтікання струму одного вертикального стержня:

$$R_s = \frac{\rho}{2\pi l} \cdot \ln \frac{4 \cdot l}{d} = \frac{100}{2 \cdot 3,14 \cdot 2,5} \ln \frac{4 \cdot 2,5}{0,04} = 35,1 \text{ Ом}$$

Приймемо число заземлювачів:

$$n = \frac{R_l}{R_n} = \frac{35,1}{4} = 8,775 \approx 9$$

Визначимо довжину горизонтальної смуги (по контуру):

$$l_2 = a \cdot n,$$

де  $a$  – відстань між вертикальними електродами ( $a = 2$  м)

$$l_2 = 2 \cdot 9 = 18 \text{ м}$$

Опір горизонтальної смуги:

$$R_{2c} = \frac{\rho}{\pi \cdot l_2} \cdot \frac{4 \cdot l_2}{b} = \frac{100}{3,14 \cdot 18} \cdot \ln \frac{4 \cdot 18}{0,04} = 13,2 \text{ Ом}$$

Коефіцієнт екранування для вертикального заземлювача [13]:

$$\eta_s = \frac{0,68 + 0,56}{2} = 0,62$$

і для горизонтальної смуги

$$\eta_z = \frac{0,34 + 0,4}{2} = 0,37$$

Опір групи вертикальних заземлювачів:

$$R_{zp} = \frac{R_{63}}{n \cdot \eta_6} = \frac{35,1}{9 \cdot 0,62} = 6,3 \text{ Ом}$$

Опір горизонтальної смуги з врахуванням екранування:

$$R_z = \frac{R_{zo}}{\eta_z} = \frac{13,2}{0,37} = 35,6 \text{ Ом}$$

Опір заземлювача в цілому:

$$R_3 = \frac{R_{zp} \cdot R_z}{R_{zp} + R_z} = \frac{6,3 \cdot 35,6}{6,3 + 35,6} = 5,3 \text{ Ом}$$

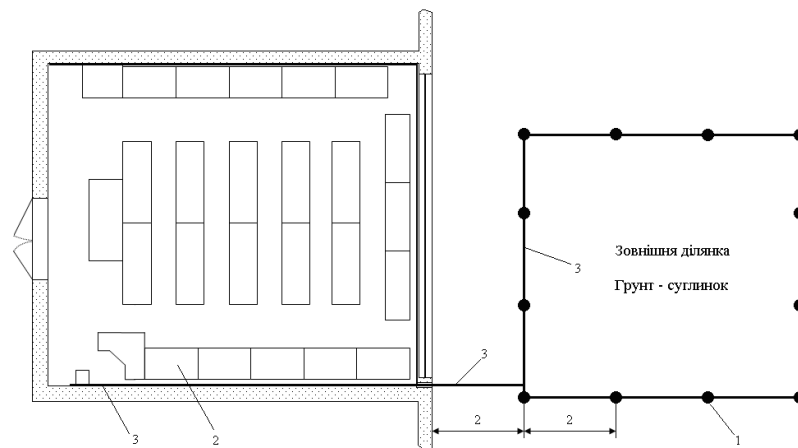
Як видно, опір заземлювача перевищує нормативний (4 Ом), тому збільшимо кількість заземлювачів:

$$n = 10,$$

тоді опір заземлювача в цілому складе  $R_3 = 4,6 \text{ Ом}$ , що теж більше  $R_H$ .

Якщо  $n = 11$ , то  $R_3 = 4,2 > R_H$ , якщо  $n = 12$ , то  $R_3 = 3,99 < R_H$ .

Число заземлювачів дорівнює 12, які розміщені по контуру зовнішньої ділянки, як показано на рисунку 3.5.



1 – заземлювачі

2 – електроустаткування що заземлюється

3 – сполучна смуга

Рисунок 3.5 – Розміщення заземлюючих електродів на зовнішній ділянці та сполучної смуги лабораторії проведення експерименту

Таким чином, для виконання захисного заземлення використовується 12 вертикальних стержнів діаметром 0,04 м, завдовжки 2,5 м, кожен з яких має опір 31,5 Ом. Опір сполучної смуги 13,2 Ом. Опір заземлювачів в цілому складе 3,99 Ом, що забезпечує безпечну роботу на установках лабораторії.

## Висновки та рекомендації

1. Використання в вхідних колах емітерних повторювачів зменшує навантаження на перевіряємий пристрій, що забезпечує точність передачі вхідного сигналу.

2. Розроблена схема містить лічильник імпульсів, для постійного опитування комутатором вхідних кіл та управління входами дешифратора, для підключення катодів розрядів індикатора, що забезпечує синхронність функціонування вузлів логічного тестера аналізатора

3. Інформаційність вимірів забезпечує індикатор який відображає рівні логічних «0» та «1», частоту дотримання імпульсів та аварійність вхідних кіл.

4. Розроблений багатоканальний тестера аналізатор відрізняється від аналогів мобільністю та автономністю.

Рекомендується подальша доробка схеми, для забезпечення запам'ятовування інформації і передачі її на персональний комп'ютер для подальшого аналізу.

## Перелік посилань

1. Mark Burns. An Introduction to Mixed-Signal IC Test and Measurement. Device and Materials Reliability, IEEE Transactions, 2001. 234 p.
2. Jonathn T.-Y Chang. SHOrt Voltage Elevation (SHOVE) Test. IEEE Computer Society, 2012. P. 446 - 494.
3. Бойко В. І., Багрій В. В. Цифрова схемотехніка. Київ : ІЗМН, 2001. 228 с.
4. Pedroni V., Circuit Design and Simulation with VHDL, 2nd ed., MIT Press, 2010. 345 p.
5. Schustow M.A., Schustow A.M. Energie-Ausschalt-Indikator II Funkamateur. Bd. 47. N. 2., 1998. 173 p.
6. Лукашук Л. О. Схемотехніка логічних та послідовнісних схем: навч. посіб. Л. : Видавництво Нац. університету «Львівська політехніка», 2004. 116 с.
7. Рябенський В. М., Жуйков В. Я., Гулий В. Д. Цифрова схемотехніка: Навч. посібник. Львів : "Новий Світ-2000", 2009. 736 с.
8. Бойко В.І., Гуржій А.М., Жуйков В. Я. Основи схемотехніки електронних систем [Підручник]. Київ : Вища шк., 2004. 527 с
9. Верьовкін Л.Л., Світанько М.В., Є.М. Кісельов, С.Л. Хрипко. Цифрова схемотехніка: Підручник. Запоріжжя : ЗДІА, 2016. 214 с.
10. Верьовкін Л.Л., Світанько М.В. Кісельов Є.М. Цифрова схемотехніка. Методичні вказівки до виконання курсового проекту на тему: «Синтез цифрового логічного автомата». Запоріжжя: ЗДІА, 2016. 34 с.
11. Павлов С.М. Основи мікроелектроніки : навчальний посібник. Вінниця : ВНТУ, 2010. 224 с.
12. Кожемякін Г.Б., Рижков В.Г., Белоконь К.В. Охорона праці та техногенна безпека: методичні вказівки до виконання розділу магістерських робіт для студентів ЗДІА всіх спеціальностей денної та заочної форм навчання. Запоріжжя : ЗДІА, 2012. 48 с.

13. Ткачук К.Н. Охорона праці та навколишнього середовища у радіоелектронній промисловості. Київ : Вища шк., 1988. 240 с.

14. Горобець О.І., Степаненко А.І. Охорона праці в у радіоелектронній промисловості. Київ : Техніка, 1987. 345 с.