

МІНІСТЕРСТВО ОСВІТИ І НАУКИ УКРАЇНИ
ЗАПОРІЗЬКИЙ НАЦІОНАЛЬНИЙ УНІВЕРСИТЕТ

Інженерний навчально-науковий інститут ім. Ю. М. Потебні
Кафедра електроніки, інформаційних систем та програмного
забезпечення

Пояснювальна записка

до кваліфікаційної роботи

рівень вищої освіти перший бакалаврський

на тему Розробка пристрою комбінаційного типу для арифметичних операцій паралельної дії з прискоренням переносом

Виконав: студент (ка) IV курсу, групи 6.1530

Гурін М.Р.

(прізвище та ініціали)

(підпис)

Напряму підготовки _____
(шифр)

Спеціальності 153

Мікро- та наносистемна техніка

(назва)

Керівник доцент, к.т.н.

Ніконова А.О.

(посада, вчене звання, науковий ступінь, прізвище та ініціали)

Рецензент інженер-конструктор Конструкторського бюро
Колосова

Григор'єва Ірина Костянтинівна

(посада, вчене звання, науковий ступінь, прізвище та ініціали)

м. Запоріжжя – 2024 рік

МІНІСТЕРСТВО ОСВІТИ І НАУКИ УКРАЇНИ
ЗАПОРІЗЬКИЙ НАЦІОНАЛЬНИЙ УНІВЕРСИТЕТ
Інженерний навчально-науковий інститут ім. Ю. М. Потебні

Рівень вищої освіти перший бакалаврський
(перший (бакалаврський) рівень, другий (магістерський) рівень)
Напрямок підготовки 153
(шифр)
Спеціальність Мікро- та наносистемна техніка
(назва)

ЗАТВЕРДЖУЮ
Завідувач кафедри ЕІСПЗ
Критська Т.В.

“ 14 ” червня 2024 року

З А В Д А Н Я
НА КВАЛІФІКАЦІЙНУ РОБОТУ СТУДЕНТУ

Гурін Микита Романович
(прізвище, ім'я, по батькові)

1. Тема проекту (роботи) Розробка пристрою комбінаційного типу для арифметичних операцій паралельної дії з прискореним переносом

керівник проекту (роботи) Ніконова Аліна Олександрівна
(прізвище, ім'я, по батькові, науковий ступінь, вчене звання)

затверджені наказом вищого навчального закладу від “26” грудня 2023 року №2215-с

2. Строк подання студентом проекту (роботи) 14 червня 2024 року

3. Вихідні дані до проекту (роботи) компаратор 74LS85, логічні елементи І, АБО, І-НІ, «Виключне АБО», перетворювач 74185, дешифратор 7447, мікросхеми: 7408, 7432, 7486, 7404, семисегментний індикатор

4. Зміст розрахунково-пояснювальної записки (перелік питань, які потрібно розробити):

1. Логічні пристрої комбінаційного типу цифрової електроніки;

2. Розробка пристрою комбінаційного типу;

3. Охорона праці та техногенна безпека;

5. Перелік графічного матеріалу (з точним зазначенням обов'язкових креслень)

Л1 – функціональна схема комбінаційного пристрою; Л2 – моделювання схеми суматора-віднімача в EWB 5.12; Л3 – моделювання схем у середовищі EWB 5.12;

Л4 – схема електрична принципова.

6. Консультанти розділів проекту (роботи)

Розділ	Прізвище, ініціали та посада консультанта	Підпис, дата
		завдання прийняв
<i>I</i>	<i>Ніконова А.О.</i>	
<i>II</i>	<i>Ніконова А.О.</i>	
<i>III</i>	<i>Ніконова А.О.</i>	

7. Дата видачі завдання 27.12.2023 року

КАЛЕНДАРНИЙ ПЛАН

№ з/п	Назва етапів дипломного проекту (роботи)	Строк виконання етапів проекту (роботи)	Примітка
<i>1</i>	<i>Аналіз логічних пристроїв комбінаційного типу цифрової електроніки</i>	<i>26.01.2024</i>	
<i>2</i>	<i>Моделювання та синтез схеми суматора-віднімача</i>	<i>20.02.2024</i>	
<i>3</i>	<i>Розроблення схеми перетворювача додаткового коду в прямий для реалізації операції віднімання.</i>	<i>02.03.2024</i>	
<i>4</i>	<i>Створення схеми компаратора для порівняння сигналу та подальшої передачі інформації на відповідний вузол.</i>	<i>25.03.2024</i>	
<i>5</i>	<i>Розробка схеми дешифратора двійкового коду для передачі інформації на семисегментні індикатори.</i>	<i>03.03.2024</i>	
<i>6</i>	<i>Розробка загальної електричної схеми на реальних мікросхемах</i>	<i>18.04.2024</i>	
<i>7</i>	<i>Охорона праці та техногенна безпека</i>	<i>18.05.2024</i>	
<i>8</i>	<i>Оформлення пояснювальної записки</i>	<i>02.06.2024</i>	
<i>9</i>	<i>Рецензування, нормоконтроль, підписання роботи</i>	<i>15.06.2024</i>	
<i>10</i>	<i>Оприлюднений захист бакалаврської роботи</i>	<i>21.06.2024</i>	

Студент _____
(підпис)

Гурін М.Р.
(прізвище та ініціали)

Керівник проекту (роботи) _____
(підпис)

Ніконова А.О.
(прізвище та ініціали)

Нормоконтроль пройдено _____
(підпис)

Верьовкін Л.Л.
(прізвище та ініціал)

Реферат

Дипломна робота містить 75 сторінок, 52 рисунки, 12 таблиць, 17 джерел літератури.

Об'єкт дослідження – пристрій комбінаційного типу для арифметичних операцій.

Мета роботи – розробка та розрахунок пристрою комбінаційного типу для арифметичних операцій паралельної дії з прискоренням переносом.

Задачі роботи: розробити комбінаційний пристрій з виконанням функцій додавання, віднімання, порівняння, перетворення, дешифрування та прискореного переносу.

Методика досліджень – моделювання пристрою за допомогою програмних забезпечень Electronics Workbench 5.12, Splan 7.0.

Короткий виклад результатів досліджень – розроблено пристрій комбінаційного типу для арифметичних операцій паралельної дії з прискоренням переносом, який відповідає вимогам, що поставлені в завданні роботи. В залежності від керуючого сигналу виконується операція додавання або віднімання. Чотирирозрядний компаратор порівнює сигнали визначає необхідність перетворення додаткового коду в двійковий для подальшого виведення результатів арифметичних операцій на цифрові індикатори.

Результати впровадження – результати дослідження було апробовано у I Міжнародній науково-практичній конференції Інженерного навчально-наукового інституту ім. Ю.М. Потєбні ЗНУ «Інженерні інновації та розбудова національної економіки» та у «Сучасні виклики та напрями вдосконалення в економічній та технічній наукових сферах».

Прогнозні пропозиції – рекомендується подальші дослідження для збільшення функціональних можливостей схеми.

НАПРУГА, СУМАТОР-ВІДНІМАЧ, КОМПАРАТОР, ДЕШИФРАТОР, ПЕРЕТВОРЮВАЧ, МІКРОСХЕМА, ІНДИКАТОР.

Дипломну роботу виконано на кафедрі електроніки, інформаційних систем та програмного забезпечення з 27.12.2023 р. по 14.06.2024 р.

Зміст

	Стор.
ВСТУП.....	7
1 ЛОГІЧНІ ПРИСТРОЇ КОМБІНАЦІЙНОГО ТИПУ ЦИФРОВОЇ ЕЛЕКТРОНІКИ.....	8
1.1 Програмована логічна інтегральна схема.....	15
1.2 Жорстка логіка.....	17
1.3 Види комбінаційних логічних схем.....	18
1.4 Твердотільні перемикачі.....	21
1.4.1 Аналогові двосторонні перемикачі.....	22
1.4.2 Твердотільні аналогові перемикачі.....	22
1.5 Основні логічні функції.....	24
2 РОЗРОБКА ПРИСТРОЮ КОМБІНАЦІЙНОГО ТИПУ.....	29
2.1 Загальна структурна схема приладу	29
2.2 Розробка схеми арифметичного додавання багаторозрядних чисел	30
2.2.1 Багаторозрядний суматор з прискореним переносом.....	35
2.3 Перетворення додаткового коду в прямий.....	38
2.3.1 Розробка перетворювача додаткового коду в прямий.....	40
2.4 Цифровий компаратор.....	42
2.4.1 Чотирирозрядний компаратор.....	47
2.5 Перетворення двійкового коду для передачі інформації на семисегментні індикатори.....	48
2.5.1 Розробка схеми дешифратора	50
2.6 Семисегментний індикатор.....	53
2.6.1 Двійкове десяткове кодування	56
3 ОХОРОНА ПРАЦІ ТА ТЕХНОГЕННА БЕЗПЕКА.....	60
3.1 Вимоги до виробничих приміщень.....	61
3.2 Освітлення робочих місць	63
3.3 Електробезпека на підприємстві	65
3.4 Організаційно-технічні заходи пожежної безпеки.....	66
ВИСНОВКИ ТА РЕКОМЕНДАЦІЇ	69
ПЕРЕЛІК ВИКОРИСТАНОЇ ЛІТЕРАТУРИ.....	70
ДОДАТОК А.....	72

ДОДАТОК Б.....	73
ДОДАТОК В.....	74

ВСТУП

При розробці комбінаційних пристроїв важливим є питання розробки схем, які будуть мати покращені властивості за рахунок збільшення швидкодії, зменшення кількості елементів, оптимізація системних характеристик.

Сучасний світ динамічно розвивається, і все більше сфер життя потребують впровадження новітніх технологій. Особливо це стосується електронних приладів, які використовуються в різних галузях, таких як військова справа, медицина, промисловість, транспорт, зв'язок та інші. Комбінаційні схеми є основою багатьох цифрових електронних приладів. Їх функції полягають у виконанні логічних операцій над двійковими сигналами.

Комбінаційні пристрої відіграють істотну роль у сучасних військових діях. Їх використовують у радіолокаційних пристроях, системах керування літальними апаратами та в інших критичних системах.

В медицині комбінаційні схеми використовують у діагностичних приладах, медичних апаратах та системах реабілітації. Зростає потреба в удосконаленні та оптимізації цих пристроїв для покращення результатів лікування та реабілітації.

Розробка вітчизняних конкурентоспроможних на ринку приладів для України є дуже важливим етапом розвитку. Це дозволить зменшити залежність від імпортованих поставок; створити нові робочі місця; стимулювати розвиток вітчизняної електронної промисловості; підвищити обороноздатність країни.

1 ЛОГІЧНІ ПРИСТРОЇ КОМБІНАЦІЙНОГО ТИПУ ЦИФРОВОЇ ЕЛЕКТРОНІКИ

Цифрова електроніка - це розділ електронної науки, що займається вивченням цифрових сигналів і розробкою пристроїв на їх основі.

Цифрові (електронні) схеми обробляють цифрові або оцифровані аналогові сигнали. Діапазон сигналів у цифрових схемах представлений дискретними смугами (діапазонами) аналогових рівнів, тобто шкалою дискретних значень замість шкали неперервних значень. Всі рівні в діапазоні представляють один і той же стан сигналу. Відносно невеликі зміни рівня аналогового сигналу через різницю поколінь, загасання сигналу, завади тощо не потрапляють в дискретний діапазон і тому ігноруються наступними ланцюгами, що дозволяє точно розпізнавати дискретні рівні (стани).

Для цифрових сигналів кількість дискретних станів зазвичай дорівнює двом, і вони представлені двома групами напруг одна навколо опорного значення (зазвичай "земля" або нуль вольт), а інша навколо напруги живлення, яка в булевій логіці відповідає значенням "хибно" ("0") та "істинно" ("1").

Цифрові методи корисні тим, що легше створити електронний пристрій, який перемикається між одним з відомих станів, ніж точно відтворити безперервний діапазон значень.

Цифрові електронні схеми зазвичай являють собою величезні набори невеликої кількості стандартних логічних вентилів. Цифрова технологія використовується в різних галузях електротехніки, в першу чергу в обчислювальній цифровій електроніці на базі комп'ютерів, включаючи ігрові приставки, робототехніку, автоматику, вимірювальні прилади, радіо- і телекомунікаційне обладнання та багато інших цифрових пристроїв.

Прикладом можливостей цифрових методів є цифрове кодування аналогових сигналів для передачі без спотворення через перешкоди. Наприклад, аудіо- та відеосигнали, що передаються по кабелю або

радіохвилях, отримують "шум", який неможливо відокремити від корисного сигналу. Якщо переданий сигнал перетворити на серію чисел, які визначають амплітуду послідовних моментів, і передати ці числа у вигляді цифрового сигналу, то аналоговий сигнал, відновлений на приймальному кінці (за допомогою ЦАП), буде безпомилковим, якщо тільки рівень шуму в каналі зв'язку не буде достатньо високим, щоб перешкоджати розпізнаванню одиниць і нулів. Цей метод, відомий як імпульсно-кодова модуляція (ІКМ), особливо корисний, коли сигнали повинні проходити через велику кількість ретрансляторів, як у міжконтинентальному телефонному зв'язку, оскільки завадостійкість гарантується відновленням цифрового сигналу в кожній точці передачі.

Цифрові методи також використовуються на космічних зондах, які передають дані і зображення на землю за допомогою ІМУ. Цифрові записи, що зберігаються на 12-сантиметрових оптичних "компакт-дисках", зберігають стереомузику з 16 бітами інформації кожні 23 мкс, або близько 6 мільярдів бітів на диск.[1]

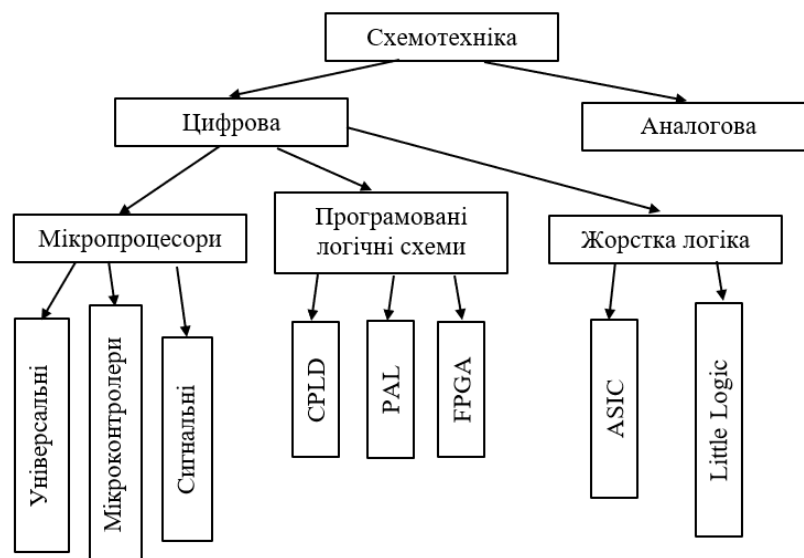


Рисунок 1.1 – Основні напрями реалізації схемотехніки

Мікропроцесор (МП) - це пристрій, який обробляє цифрову інформацію відповідно до програми і може бути реалізований у вигляді однієї або декількох мікросхем. Структурна схема МП показана на рис. 1.2.

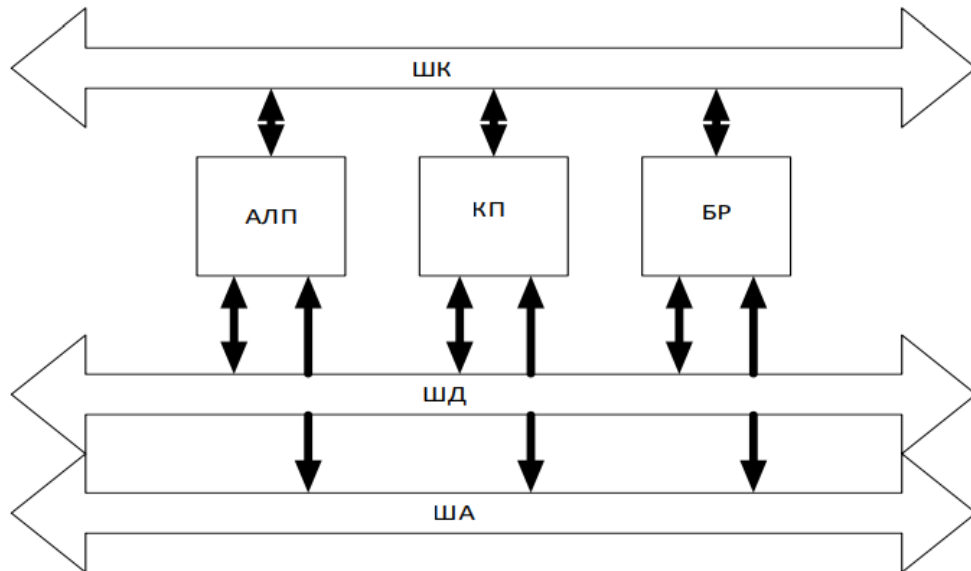


Рисунок 1.2 - Блок-схема мікропроцесорів

Всі основні блоки МП з'єднані між собою шинами.

Шина - це інформаційний канал, який забезпечує передачу даних в цифровому вигляді і реалізується у вигляді декількох провідників і одного загального провідника (земля, екран) для передачі кодових слів.

Розрядність шини - це кількість одночасних (паралельних) двійкових бітів передачі, що відповідає розрядності слова, яке виконується в МП.

ШД (шина даних) працює в двонаправленому режимі передачі, тобто слова можуть передаватися в двох напрямках, але не одночасно. Це вимагає використання спеціальних буферних схем і передачі даних в режимі мультиплексора.

ША (шина адреси) працює в односпрямованому режимі; вона передає адреси комірок пам'яті та пристроїв від МП. Адреса вказує на місцезнаходження даних.

ШК (шина керування) також є однонаправленою. Використовується для передачі сигналів керування. Для сигналів у різних напрямках використовуються різні лінії.

АЛП (арифметично-логічний пристрій). Складається з: 1) двійкового суматора з прискореною схемою передачі; 2) регістра зсуву; 3) регістра для тимчасового зберігання операндів. Зазвичай АЛП виконує прості операції за такими інструкціями, як додавання, віднімання, зсув, вперед, логічне додавання, логічне множення за модулем 2 і порівняння.

КП (керуючий пристрій) – це контролер, який керує роботою АЛП і внутрішніх регістрів під час виконання інструкцій. Відповідно до операційного коду управління, КП формує внутрішні сигнали управління блоком МП. Адресна частина команди разом з керуючими сигналами використовується для зчитування даних з обраної комірки пам'яті або запису даних до неї. Сигнал керування, в свою чергу, використовується для вибору нових команд.

БР - це блок регістрів, який розширює функціональність АЛП і використовується як внутрішня пам'ять для тимчасового зберігання даних і команд.

На рис. 1.3 показана структурна схема МП. У дужках показана розрядність шин та регістрів. БР містить в собі:

РЗП (регістри загального призначення);

- спеціальні регістри:
- регістр - акумулятор,
- буферний регістр адреси ,
- буферний регістр даних ,
- лічильник команд ,
- регістр команд ,
- регістр стеку ,
- регістр ознак стану.

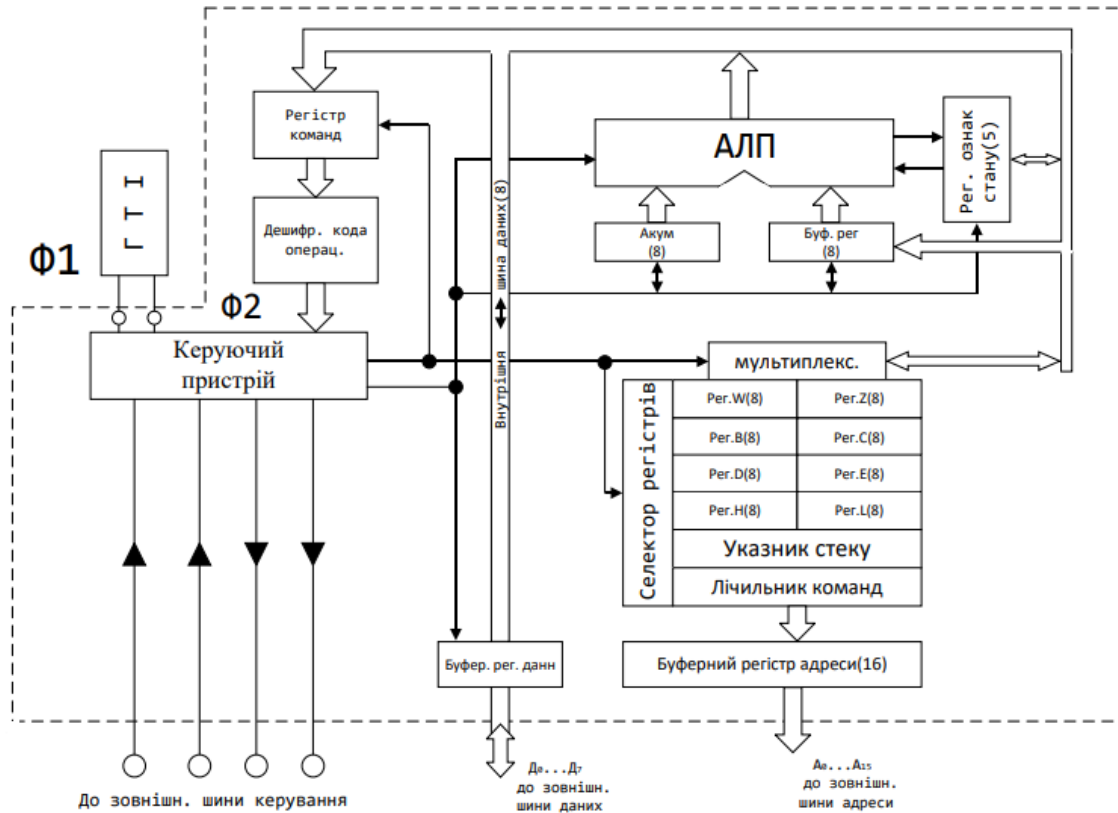


Рисунок 1.3 - Структурна схема мікропроцесорів

Кількість ПЗП варіюється від 4 до 64 і значною мірою визначає обчислювальну потужність МП. Основне використання - зберігання операндів. Однак вони також функціонують як спеціальні регістри. Перші два регістри, W і Z, призначені для короточасного зберігання даних під час виконання інструкцій. Вони не можуть бути використані програмістом. Інші шість - D, B, C, E, L і F - використовуються як комірки внутрішньої пам'яті. У цих регістрах зберігаються операнди, які обробляються АЛП. Програміст може використовувати ці регістри як НЗП.

Регістри-акумулятори використовуються для тимчасового зберігання операндів або проміжних результатів арифметичних і логічних операцій, що виконуються АЛП; коли виконується двооперандна операція, один операнд зберігається в цьому регістрі, а результат зберігається після виконання

операції. Розрядність акумулятора дорівнює розрядності інформаційного слова.

Буферний регістр адреси Буферний регістр адреси використовується для отримання та зберігання адресної частини інструкції, що виконується. Адреса слова зберігається в цьому регістрі до того, як вона буде видана на шину адреси. Кількість можливих адрес пам'яті (слів) визначається розрядністю цього регістра. Це означає, що 16-розрядний регістр може містити $2^{16} = 65536$ адрес комірок пам'яті.

Буферний регістр даних Буферний регістр даних використовується для тимчасового зберігання вибраних слів з пам'яті перед тим, як вони будуть відправлені на зовнішню частину шини. Розрядність буферного регістра визначається кількістю байт в інформаційному слові.

Лічильник команд містить адресу комірки пам'яті, в якій знаходиться байт команди, що виконується. Зазвичай, інструкції програми розміщуються в послідовних комірках пам'яті. Число, що вказує на адресу кожної наступної комірки, на одиницю більше, ніж число, що відповідає адресі поточної комірки. Тому перехід до наступної інструкції досягається збільшенням числа в лічильнику інструкцій на одиницю. Під час виконання кожної команди, тобто коли команда передається з пам'яті МП, вміст лічильника команд збільшується на одиницю, формуючи адресу наступної команди. Якщо необхідно виконати інструкцію, яка не зберігається в сусідній комірці, то за допомогою КП в лічильник команд заноситься адреса іншої комірки.

Регістр команд отримує і зберігає код команди, адреса якої знаходиться в лічильнику команд. Код команди вказує, яку операцію потрібно виконати над даними.

Стековий регістр поділяється на стек та вказівник стеку. Стек - це набір регістрів, який зберігає адресу команди повернення при зверненні до підпрограми або стан внутрішнього регістра при обробці переривання. Цей набір організовано за принципом "від останнього до першого". Показчик стеку зберігає адресу останньої використаної комірки стеку. Запис слова до

стеку збільшує число у вказівнику на одиницю. Читання слова зі стеку зменшує номер вказівника на одиницю.

Регістр ознак стану - це набір тригерів (прапорців): Залежно від результату операції, яку виконує АЛП, тригер встановлюється у стан нуль або одиниця. Прапори запускають умовні прапори, такі як нульовий результат, прапор результату та переповнення. Внутрішня шина з'єднує основні частини МП. Шина - це група ліній передачі інформації, об'єднаних спільними функціональними характеристиками; в МП розрізняють три типи шин даних: даних, адреси та керування.

Функціонування всіх вузлів МП відбувається за допомогою генератора тактових імпульсів (ГТІ). На рис. 1.4 наданий цикл роботи МП.

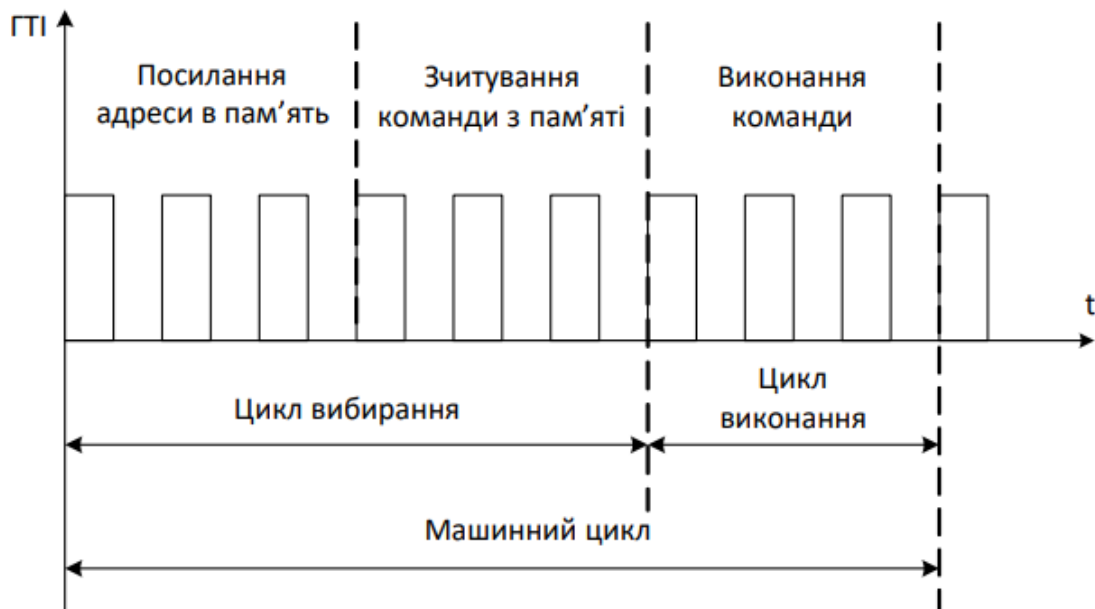


Рисунок 1.4 - Цикл роботи мікропроцесорів

Одна інструкція, що зберігається в пам'яті, виконується за кілька тактів. Час, необхідний для виконання інструкції, називається циклом команди. Цикл команди складається з одного або декількох машинних циклів. [2]

Функціональна частина комп'ютера, призначена для автоматичного керування обчислювальним процесом за допомогою набору сигналів керування та синхронізації, називається пристроєм керування (ПК). Керуючий

пристрій забезпечує координацію роботи всіх функціональних вузлів комп'ютера під час виконання програми.

Існує два основних способи побудови логіки формування сигналів керування. Перший полягає в наявності набору вентильних схем, які генерують відповідний керуючий сигнал у відповідний час для кожної інструкції процесора. Такий принцип управління називається «жорсткою» логікою.

Другий метод, який називається мікропрограмним керуванням, генерує керуючі сигнали на основі вмісту регістра мікрокоманд, в який записуються мікрокоманди з пам'яті мікрокоманд.[3]

1.1 Програмована логічна інтегральна схема

Програмована логічна інтегральна схема (ПЛІС) - це електронний компонент, який використовується для побудови цифрових інтегральних схем.

На відміну від звичайних цифрових схем, логіка роботи ПЛІС не визначається під час виробництва, а задається програмуванням. Для цього використовується програматор або налагоджувальне середовище, яке задає бажану структуру цифрового пристрою у вигляді схем або програм на спеціальних мовах опису апаратного забезпечення (наприклад, Verilog, VHDL, AHDL).

Альтернативи ПЛІС включають

- програмовані логічні контролери;
- базові матричні кристали; програмування вимагає заводського виробничого процесу;
- ASIC - спеціально налаштовані ВІС (великі інтегральні схеми), які є досить дорогими для невеликого або одиничного виробництва;

- спеціалізовані комп'ютери та процесори (наприклад, цифрові сигнальні процесори);
- мікроконтролери працюють повільніше, ніж ПЛІС, через програмну реалізацію алгоритмів.

Деякі виробники ПЛІС пропонують програмні процесори, які можна модифікувати для конкретних застосувань і вбудовувати в ПЛІС. Це зменшує використання місця на друкованій платі та спрощує конструкцію ПЛІС.

PAL (програмовані матриці логіки) - це найпростіша ПЛІС, яка використовується для реалізації логічних функцій у цифрових схемах; вона була представлена компанією Monolithic Memories Corporation у 1978 році.

CPLD (складні програмовані логічні пристрої) містять відносно великі блоки програмованої логіки (макрокомірки), підключені до зовнішніх виводів і внутрішніх шин даних; функціональність CPLD закодована в енергонезалежній пам'яті, тому її не потрібно перепрограмувати при ввімкненні. Їх можна комбінувати з великими кристалами для збільшення кількості входів і виходів або використовувати для попередньої обробки сигналів і підтримки інтерфейсів (наприклад, контролерів COM, USB, VGA).

FPGA (польові програмовані вентильні матриці) містять перемножувачі (MAC) і логічні елементи (часто на основі перекодованих таблиць - таблиць істинності) та їх комутаційні блоки, які зазвичай використовуються в цифровій обробці сигналів (DSP). FPGA часто використовуються для обробки сигналів. Вони широко використовуються і мають більшу кількість логічних елементів і більш гнучку архітектуру, ніж CPLD; Програми ПЛІС зберігаються в розподіленій пам'яті і можуть виконуватися на основі енергозалежних статичних комірок оперативної пам'яті (такі мікросхеми випускаються, наприклад, компаніями Xilinx і Altera). У цьому випадку програма не зберігається при вимкненні мікросхеми, енергонезалежних комірокках флеш-пам'яті або запобіжних перемичках (виробництва Microsemi або Lattice Semiconductor), програма зберігається при вимкненні живлення. Якщо програма зберігається в енергонезалежній пам'яті, її необхідно

переконфігурувати за допомогою вбудованого в ПЛІС завантажувача при кожному вмиканні мікросхеми. Альтернативою ПЛІС FPGA є менш швидкісні цифрові сигнальні процесори, які також використовуються як прискорювачі для процесорів загального призначення в суперкомп'ютерах (наприклад, Cray - XD1, SGI - проект RASC).[4]

1.2 Жорстка логіка

Типова структура ПК з жорсткою логікою наведена на рисунку 1.5.

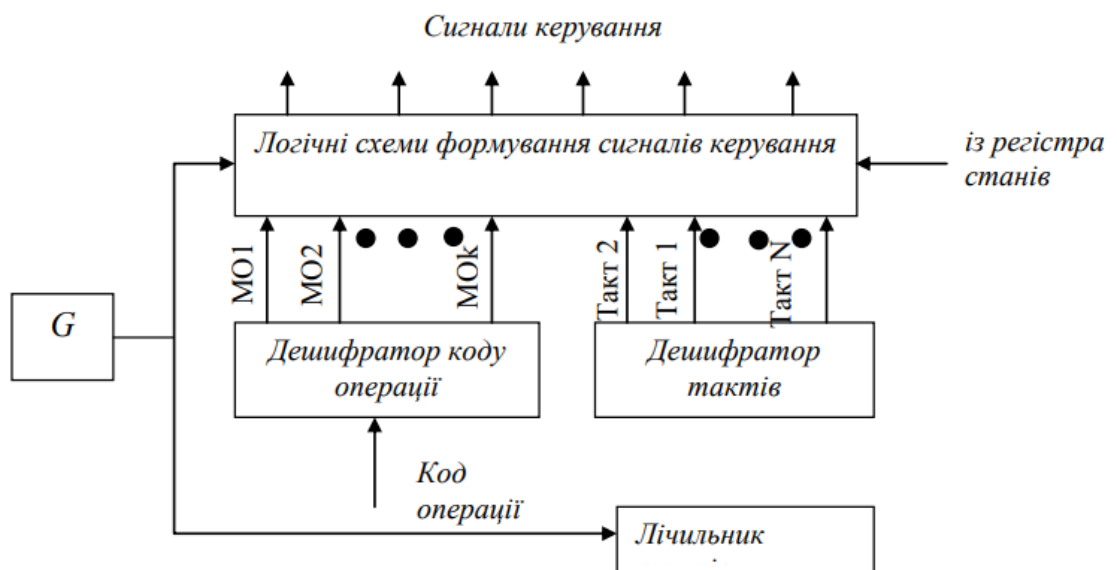


Рисунок 1.5 - Типова структура пристрою керування з жорсткою логікою

До складу пристрою керування входять:

- генератор тактових імпульсів G, який генерує тактові імпульси T1, необхідні для синхронізації роботи ПК;
- лічильник тактів, який запам'ятовує кількість тактів, що виконуються в даний момент;
- дешифратор операційного коду та дешифратор тактових імпульсів, які перетворюють двійкові коди в однорядкові коди;

- логічна схема, яка генерує керуючі сигнали.

Дешифратор операційного коду використовує операційний код в регістрі команд для генерації сигналів, які дозволяють мікроопераціям на відповідній шині. У кожному такті до лічильника тактових імпульсів додається сигнал «1» від генератора тактових імпульсів G. Дешифратор тактових імпульсів генерує сигнал, що відповідає поточному тактовому імпульсу.[3]

1.3 Види комбінаційних логічних схем

Комбінаційні логічні схеми — це цифрові логічні схеми без пам'яті, вихід яких у будь-який момент часу залежить лише від комбінації його входів.

На відміну від послідовних логічних схем, вихідні дані яких залежать як від поточних входів, так і від попереднього вихідного стану, що дає їм певну форму пам'яті. Виходи комбінаційних логічних схем визначаються лише логічною функцією їхнього поточного стану входу, логічного «0» або логічної «1», у будь-який даний момент часу.

Результатом цього є те, що схеми комбінаційної логіки не мають зворотного зв'язку, і будь-які зміни сигналів, що подаються на їхні входи, негайно впливатимуть на вихід. Іншими словами, у комбінаційній логічній схемі вихід завжди залежить від комбінації його входів. Таким чином, комбінаційна схема не має пам'яті.

Отже, якщо одна з його вхідних умов змінює стан із 0-1 або 1-0, результуючий вихід також зміниться, оскільки за замовчуванням комбінаційні логічні схеми не мають «немає пам'яті», «синхронізації» або «петлі зворотного зв'язку» у своїй конструкції.

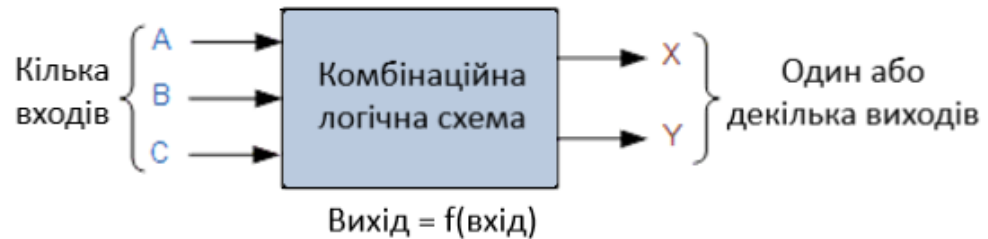


Рисунок 1.6 - Комбінаційна логіка

Комбінаційні логічні схеми складаються з базових логічних елементів І-НЕ, НІ чи НІ, які «комбінуються» або з'єднуються разом для створення складніших схем перемикання. Ці логічні елементи є будівельними блоками комбінаційних логічних схем.

Прикладом комбінаційної схеми є декодер, який перетворює дані двійкового коду, наявні на його вході, у ряд різних вихідних рядків, один за одним, виробляючи на виході еквівалентний десятковий код.

Комбінаційні логічні схеми можуть бути дуже простими або дуже складними, і будь-яка комбінаційна схема може бути реалізована лише за допомогою вентилів NAND та NOR, оскільки вони класифікуються як «універсальні» вентиля.

Три основні способи визначення функції комбінаційної логічної схеми:

1. Булева алгебра – формує алгебраїчний вираз, що показує роботу логічної схеми для кожної вхідної змінної True або False, що призводить до логічної «1».

2. Таблиця істинності – таблиця істинності визначає функцію логічного вентиля, надаючи стислий список, який показує всі вихідні стани в табличній формі для кожної можливої комбінації вхідних змінних, з якими може зіткнутися вентиль.

3. Логічна схема – це графічне представлення логічної схеми, яка показує підключення та з'єднання кожного окремого логічного елемента, представленого певним графічним символом, який реалізує логічну схему.

Всі три представлення логічної схеми показані нижче.

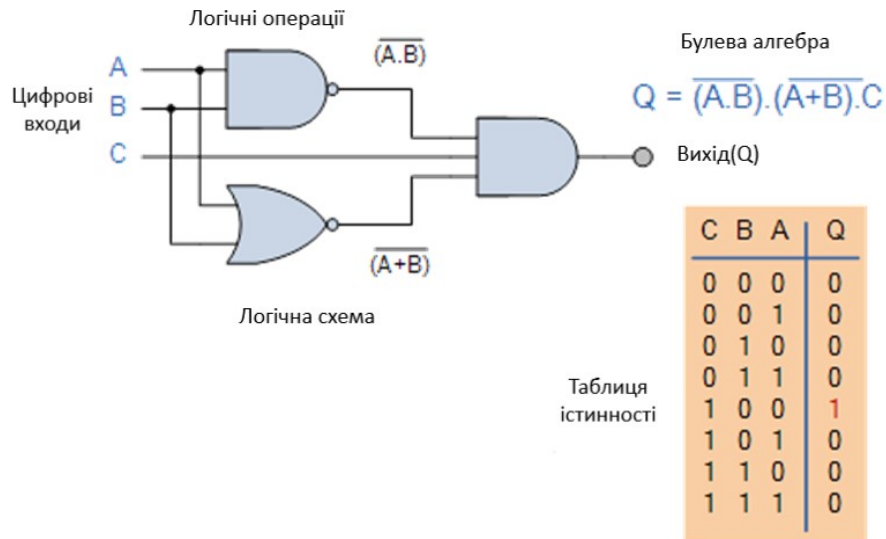


Рисунок 1.7 - Три основні способи визначення функції комбінаційної логічної схеми

Оскільки комбінаційні логічні схеми складаються лише з окремих логічних вентилів, їх також можна розглядати як «схеми прийняття рішень», а комбінаційна логіка полягає в об'єднанні логічних вентилів разом для обробки двох або більше сигналів, щоб створити принаймні один вихідний сигнал відповідно до логічну функцію кожного логічного елемента.

Звичайні комбінаційні схеми, що складаються з окремих логічних вентилів, які виконують бажане застосування, включають мультиплексори, демультиплексори, кодери, декодери, повні та напівсуматори тощо.

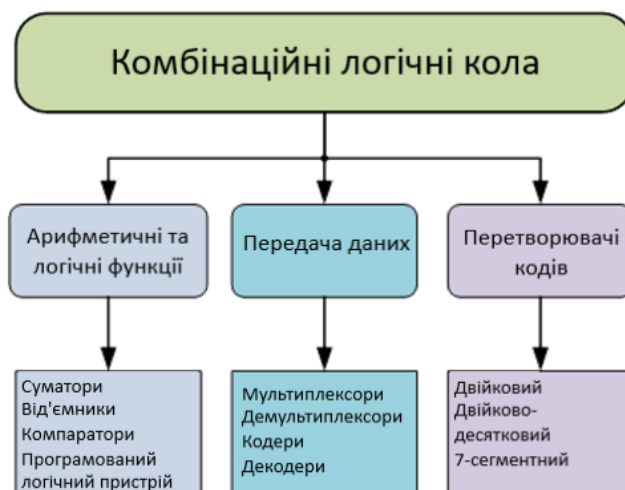


Рисунок 1.8 - Класифікація комбінаційної логіки

Одним із найпоширеніших застосувань комбінаційної логіки є схеми типу мультиплектора та демультиплектора. Тут кілька входів або виходів підключено до загальної сигнальної лінії, а логічні вентиля використовуються для декодування адреси для вибору одного вхідного або вихідного перемикача даних.

Мультиплексор складається з двох окремих компонентів, логічного декодера та деяких твердотільних перемикачів, але перш ніж ми зможемо обговорювати мультиплектори, декодери та демультиплектори більш детально, нам спочатку потрібно зрозуміти, як ці пристрої використовують ці «твердотільні перемикачі» у своїй конструкції.

1.4 Твердотільні перемикачі

Стандартні логічні пристрої TTL, що складаються з транзисторів, можуть пропускати сигнальний струм лише в одному напрямку, що робить їх «односпрямованими» пристроями та поганою імітацією звичайних електромеханічних перемикачів або реле. Однак деякі комутаційні пристрої CMOS, створені на основі польових транзисторів, діють як майже ідеальні «двонаправлені» комутатори, що робить їх ідеальними для використання як твердотільні комутатори.

Твердотільні перемикачі бувають різних типів і номіналів, і існує багато різних застосувань для використання твердотільних перемикачів. В основному їх можна розділити на 3 різні основні групи:

- Аналогові перемикачі – використовуються в комутації даних і зв'язку, комутації відео- та аудіосигналів, контрольно-вимірювальних приладах і схемах керування процесом ... тощо.

- Цифрові комутатори – високошвидкісна передача даних, комутація та маршрутизація сигналів, Ethernet, LAN, USB та послідовна передача... тощо.
- Вимикачі живлення – джерела живлення та загальні додатки перемикачів «живлення в режимі очікування», перемикачів більшої напруги та струму... тощо.

1.4.1 Аналогові двосторонні перемикачі

Аналогові або «аналогові» перемикачі — це ті типи перемикачів, які використовуються для перемикачів струмів даних або сигналів, коли вони перебувають у стані «Увімкнено», і блокують їх, коли вони перебувають у стані «ВИМКНЕНО». Швидке перемикачів між станом «ON» і «OFF» зазвичай контролюється цифровим сигналом, що подається на контрольний затвор перемикача.

Ідеальний аналоговий перемикач має нульовий опір, коли він включений (або замкнутий), і нескінченний опір, коли він знаходиться у стані «ВИМКНЕНО» (або розімкнутий), і зазвичай доступні перемикачі зі значеннями R_{ON} менше 1 Ом .

1.4.2 Твердотільні аналогові перемикачі

Підключення N-канального MOSFET паралельно до P-канального MOSFET дозволяє сигналам проходити в будь-якому напрямку, роблячи його «двонаправленим» перемикачем, і залежно від того, чи N-канальний чи P-

канальний пристрій передає більший струм сигналу, буде залежить від співвідношення між вхідною та вихідною напругою. Два МОП-транзистори вмикаються або вимикаються двома внутрішніми неінвертуючим та інвертуючим підсилювачами.

Твердотільні аналогові перемикачі наведені на рис. 1.9.

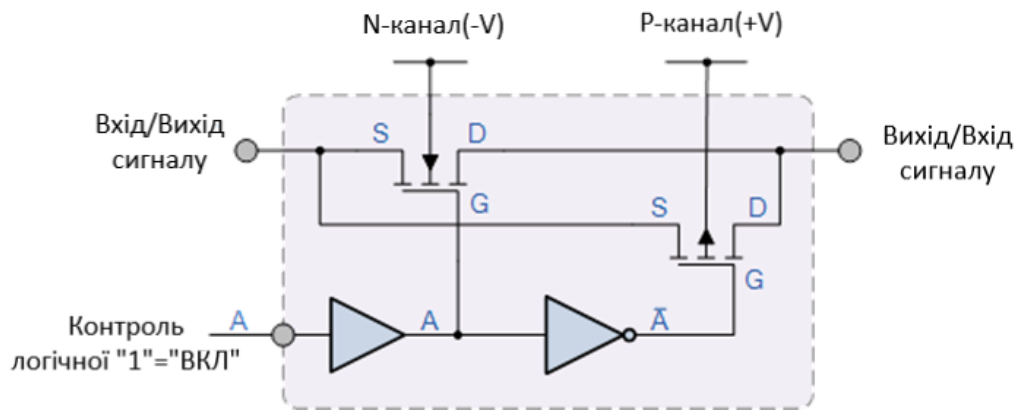


Рисунок 1.9 - Твердотільні аналогові перемикачі у схемі

Подібно до механічних перемикачів, аналогові перемикачі бувають різних форм або типів контактів, залежно від кількості «полюсів» і «кидків», які вони пропонують. Таким чином, такі терміни, як «SPST» (однополюсний однопрохідний) і «SPDT» (однополюсний двопробідний) також застосовуються до твердотільних аналогових перемикачів із «вмиканням перед розривом» і «розривом перед вклученням». доступні конфігурації.

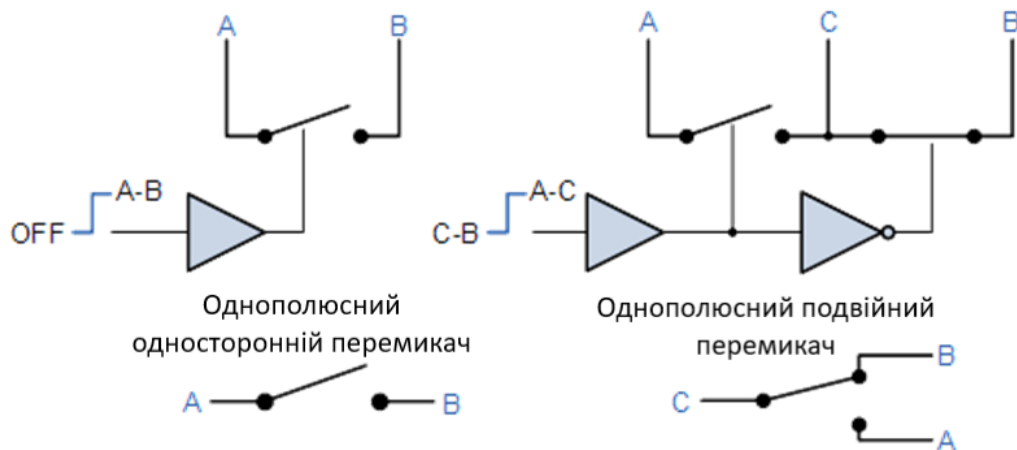


Рисунок 1.10 - Типи аналогових комутаторів

Окремі аналогові перемикачі можна згрупувати в стандартні пакети ІС, щоб сформувати пристрої з декількома конфігураціями комутації SPST (однополюсний однопрохідний) і SPDT (однополюсний подвійний перемикач), а також багатоканальні мультиплексори.

Найпоширенішим і найпростішим аналоговим перемикачем в одному корпусі ІС є 74НС4066, який має 4 незалежні двонаправлені перемикачі «ON/OFF» в одному корпусі, але найбільш широко використовуваними варіантами аналогового перемикача CMOS є ті, що описані як «мульти-двосторонні перемикачі», також відомі як «Мультиплексор» і «Демультимплексор».[5]

1.5 Основні логічні функції

Існує сім основних логічних операцій: AND, OR, XOR, NOT, NAND, NOR та XNOR.

Операція AND названо так тому, що якщо 0 є хибним, а 1 — істинним, операції діють так само, як логічний оператор «і». На наступній ілюстрації та в таблиці показано символ схеми та логічні комбінації для вентиля І. (На символі вхідні клеми розташовані ліворуч, а вихідні – праворуч.) Вихід є «істинним», якщо обидва входи «істинні». В іншому випадку результатом буде "false". Іншими словами, вихід дорівнює 1 лише тоді, коли обидва входи дорівнюють 1.

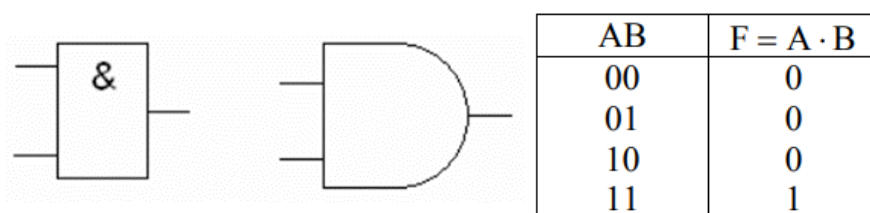


Рисунок 1.11 - Схема логічного елемента І

Операції OR отримали свою назву через те, що поводяться як логічне включене "або". Вихід є істинним, якщо один або обидва введення є істинними. Якщо обидва вхідні дані хибні, то вихід хибний. Іншими словами, щоб вихід був 1, принаймні один вхід повинен бути 1.

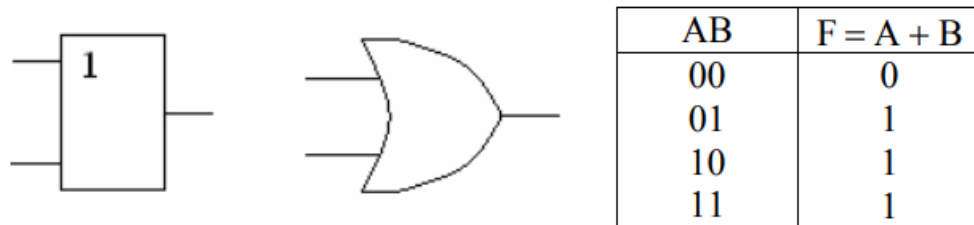


Рисунок 1.12 - OR операція

Шлюз XOR (виключне АБО) діє так само, як логічне «або/або». Вихід є істинним, якщо будь-який, але не обидва вхідні дані є істинними. Вихід є хибним, якщо обидва вхідні дані є "хибними" або якщо обидва вхідні дані є істинними. Подібним чином вихід дорівнює 1, якщо вхідні дані різні, але 0, якщо вхідні дані однакові.

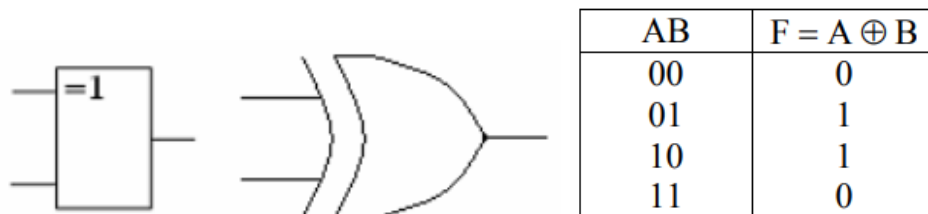


Рисунок 1.13 - Операція XOR

Логічний інвертор, який іноді називають операцією НЕ, щоб відрізнити його від інших типів електронних інверторних пристроїв, має лише один вхід. Операція НЕ змінює логічний стан. Якщо вхід дорівнює 1, то вихід дорівнює 0. Якщо вхід дорівнює 0, то вихід дорівнює 1.

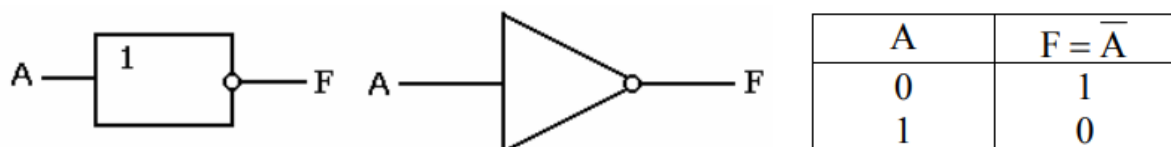


Рисунок 1.14 - Інвертор або NOT операція

Шлюз NAND (заперечене І) працює як вентиль І, за яким слідує вентиль НЕ. Він діє за принципом логічної операції «і» з наступним запереченням. Вихідні дані є хибними, якщо обидва вхідні дані є істинними. В іншому випадку результат є істинним. Інший спосіб візуалізації полягає в тому, що вентиль NAND інвертує вихід вентиля AND. Символ воріт NAND — це ланцюг І з колом воріт НЕ на виході.

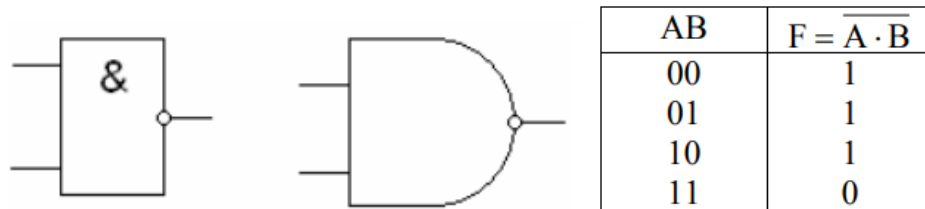


Рисунок 1.15 - Операція NAND

Операція NOR (НІ АБО) є комбінацією операції АБО, за якою слідує інвертор. Його вихід є істинним, якщо обидва вхідні дані є хибними. В іншому випадку результат буде false.

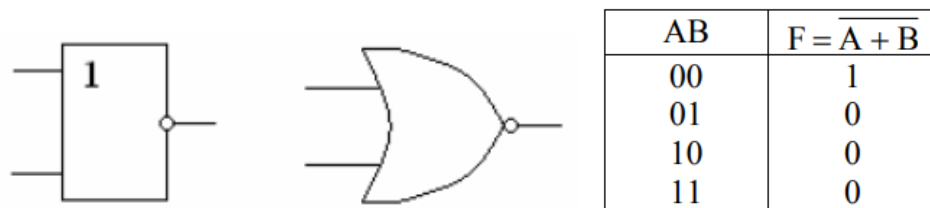


Рисунок 1.16 - NOR операція

Операція XNOR (exclusive-NOR) — це комбінація операції XOR, за яким слідує інвертор. Його вихід є істинним, якщо вхідні дані однакові, і false, якщо вхідні дані різні.

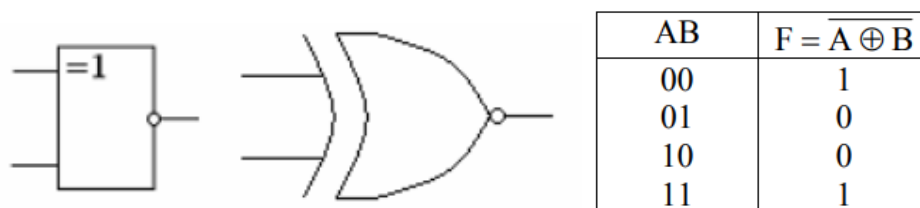


Рисунок 1.17 - Операція XNOR

Складні операції можна виконувати за допомогою комбінацій цих логічних елементів. Теоретично кількість воріт, які можна об'єднати в один пристрій, не обмежена. Але на практиці існує обмеження на кількість воріт, які можна розмістити в певному фізичному просторі.

Масиви логічних вентилів зустрічаються в цифрових мікросхемах. У міру розвитку технології ІС необхідний фізичний обсяг для кожного окремого логічного вентиля зменшується, і цифрові пристрої стають здатними виконувати більш складні операції зі зростаючою швидкістю.

Квантові комп'ютери також мають власну версію логічних воріт, які називаються квантовими логічними операціями, або квантовими гейтами *qutrit*, які є квантовою ланцюгом, що працює з використанням невеликої кількості *qutrit*, які є кубітами, які мають один доданий вимір. Подібно до того, як логічні вентиля є будівельними блоками цифрових схем, квантові вентиля *qutrit* є будівельними блоками квантових схем.

Високі або низькі двійкові умови представлені різними рівнями напруги. Логічний стан терміналу може змінюватися і зазвичай змінюється, коли схема обробляє дані. У більшості логічних вентилів низький стан становить приблизно нуль вольт (0 В), тоді як високий стан становить приблизно п'ять вольт плюса (+5 В).

Логічні вентиля можуть бути зроблені з резисторів, транзисторів або діодів. Ці компоненти з'єднані разом у певних конфігураціях, щоб гарантувати, що вони перетворюють вхідні дані належним чином. Резистори, наприклад, зазвичай можна використовувати як підтягуючий або знижуючий резистор. Підтягуючий і знижуючий резистори використовуються, коли є будь-які невикористані входи логічного вентиля для підключення до логічного рівня 1 або 0. Це запобігає будь-якому помилковому перемиканню вентиля. Підтягуючі резистори підключаються до V_{cc} (+5 В), а підтягувальні резистори підключаються до землі (0 В).

Так само транзистори забезпечують перемикання - вмикання або вимикання у відповідь на входні сигнали - тоді як діоди забезпечують протікання струму лише в одному напрямку для стабілізації схеми.

Зазвичай використовувані логічні вентиля транзистор-транзисторна логіка (TTL) і комплементарна метал-оксид-кремній (CMOS). У мікросхемах TTL використовуються біполярні транзистори негативного-позитивного-негативного та позитивного-негативного-позитивного. КМОП-схеми виготовлені з польових транзисторів метал-оксид-напівпровідник або польового затвора. Мікросхеми TTL зазвичай позначаються як мікросхеми серії 7400, тоді як мікросхеми CMOS часто позначаються як мікросхеми серії 4000.[6]

Метою кваліфікаційної роботи є розробка пристрою комбінаційного типу для арифметичних операцій паралельної дії з прискореним переносом.

Для досягнення мети потрібно виконати наступні задачі:

1. Створити блок-схему приладу. Визначити функціональне призначення кожного окремого блоку.
2. Розробити схему чотирирозрядного суматора-віднімача на елементах «Виключне АБО» та елементах І з функцією прискореного переносу. Провести моделювання у середовищі Electronics Workbench 5.12 та перевірити правильність її побудови.
3. Розробити схему перетворювача додаткового коду в прямий для реалізації операції віднімання. Перевірити роботу схеми у середовищі Electronics Workbench 5.12.
4. Створити схему компаратора для порівняння сигналу та подальшої передачі інформації на відповідний вузол. Перевірити роботу та зробили аналіз схеми компаратора у середовищі Electronics Workbench 5.12.
5. Розробити схему дешифратора двійкового коду для передачі інформації на семисегментні індикатори. Перевірити роботу дешифратора у середовищі Electronics Workbench 5.12.
6. Зібрати принципову схему пристрою у редакторі схем Splan 7.0.

2 РОЗРОБКА ПРИСТРОЮ КОМБІНАЦІЙНОГО ТИПУ

2.1 Загальна структурна схема приладу

Методи оптимізації логічних функцій спрямовані на зміну структури схеми, не змінюючи логічної функції, яку вона виконує та на спрощення логічних функцій, що може призвести до зменшення кількості вентилів і, відповідно, до підвищення швидкодії схеми. Для операцій над сигналами для їх арифметичних операцій, порівняння чи перетворення розроблено функціональну схему комбінаційного пристрою яку наведено на рис. 2.1.

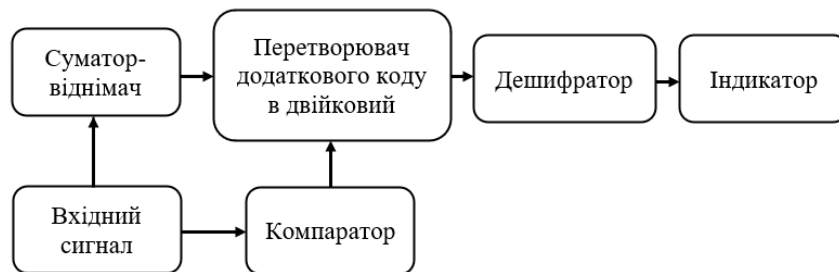


Рисунок 2.1 – Функціональна схема комбінаційного пристрою

Вхідний сигнал подається на суматор-віднімач. Якщо керуючий сигнал суматора-віднімача встановлений на 0, то виконується операція додавання, а якщо на 1 - то операція віднімання. Результат операції подається на вихід суматора-віднімача.

Суматор-віднімач приймає два двійкових числа на свої входи і видає на виході результат їх додавання або віднімання. Якщо виконується операція віднімання меншого від більшого то вихідний сигнал подається у вигляді додаткового коду. Операція, яка виконується, визначається значенням керуючого сигналу.

Компаратор порівнює два двійкових числа на своїх входах і видає на виході сигнал, який вказує, яке з чисел більше, менше або дорівнює іншому. Операція, яка виконується, визначається значенням керуючого сигналу.

Перетворювач додаткового коду в двійковий перетворює двійкове число, представлене в додатковому коді, в двійкове число, представлене в прямому коді, якщо з компаратора не поступає сигнал тоді перетворення коду не відбувається.

Дешифратор перетворює двійкове число на своїх входах на відповідний код семисегментного індикатора для відображення результату операції у десятковому вигляді.[7]

2.2 Розробка схеми арифметичного додавання багаторозрядних чисел

Однорозрядні схеми додавання поділяються на напівсуматори і повні однорозрядні суматори. Напівсуматор – це функціональний елемент з двома входами для однорозрядних чисел A і B , та двома виходами: один вихід S формує результат додавання чисел A і B за модулем два, а інший вихід P генерує сигнал перенесення до наступного (старшого) розряду. На схемах умовне позначення напівсуматора (рис. 2.2) позначається буквами HS (від англійського half adder, sum).

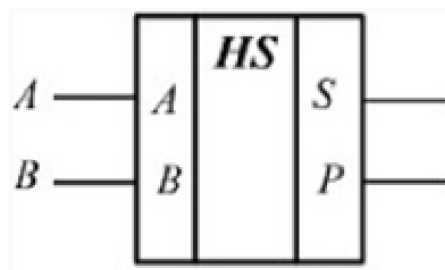


Рисунок 2.2 – Умовне позначення напівсуматора

Функціонування напівсуматора описується таблицею істинності (табл. 2.1). Це найзагальніший опис цього вузла, для якого може існувати багато різних формул і схем.

Таблиця 2.1 – Таблиця істинності напівсуматора

Входи		Виходи	
A	B	S	P
0	0	0	0
0	1	1	0
1	0	1	0
1	1	0	1

Формула для побудови схеми напівсуматора для вихідної функції виглядає наступним чином:

$$S = \bar{A} * B + A * \bar{B} = A \oplus B,$$

$$P = A * B.$$

Зручним способом реалізації напівсуматора є використання двох елементів: "XOR" для обчислення суми двох однорозрядних двійкових чисел та логічного елемента "AND" для визначення сигналу перенесення, як показано на рис. 2.3.

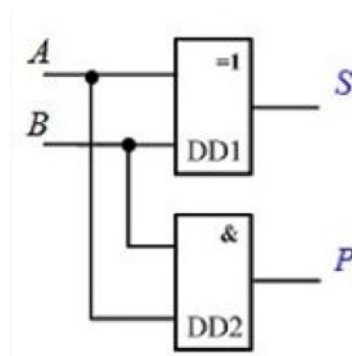


Рисунок 2.3 – Схема напівсуматора на елементі «Виключне АБО»

На рис. 2.4 зображено логічну схему напівсуматора, побудовану за допомогою елементів основного базису І, АБО, НІ.

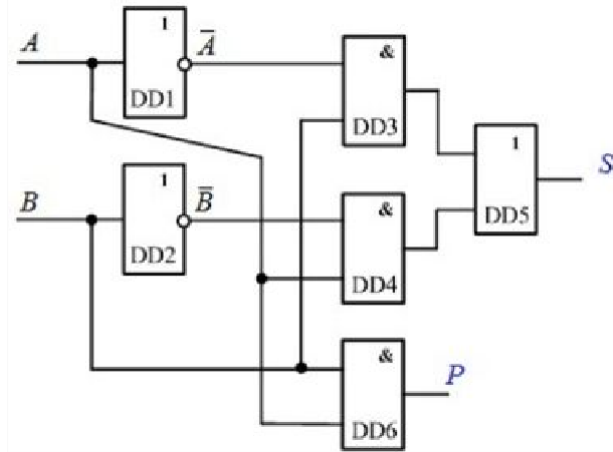


Рисунок 2.4 – Схема напівсуматора на логічних елементах базису І, АБО, НІ

Повний суматор - це вузол, що має три входи та два виходи. На входи подаються два однорозрядні числа, A та B , і сигнал перенесення з молодшого розряду, P_{in} . Один вихід, S , генерує результат додавання чисел A , B та P_{in} . Інший вихід, P_{out} , видає сигнал перенесення у наступний (старший) розряд. Повний двійковий однорозрядний суматор можна побачити на схемі, зображеній на рис. 2.5. На цій схемі логічна функція суматора позначена буквами SM або Σ . З використанням однорозрядних схем додавання на три входи та два виходи можна побудувати багаторозрядні суматори будь-якого типу.

Таблиця істинності для однорозрядного суматора відображається у табл. 2.2. Перші чотири рядки представляють таблицю істинності напівсуматора.

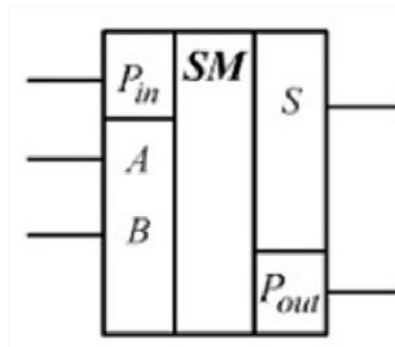


Рисунок 2.5 – Умовне позначення суматора

Таблиця 2.2 – Таблиця істинності суматора

Входи			Виходи	
A	B	P_{in}	S	P_{out}
0	0	0	0	0
0	1	0	1	0
1	0	0	1	0
1	1	0	0	1
0	0	1	1	0
0	1	1	0	1
1	0	1	0	1
1	1	1	1	1

Для виконання операції арифметичного додавання двох багаторозрядних чисел використовуються багаторозрядні суматори. Схеми повного однорозрядного суматора служать основними «будівельними блоками» для створення таких багаторозрядних суматорів.

При використанні послідовного додавання застосовується єдиний суматор, що є загальним для всіх розрядів (рис. 2.6). Операнди A_0, A_1, \dots, A_n і B_0, B_1, \dots, B_n подаються на вхід суматора через входи A і B синхронно, розпочинаючи з менш значущих розрядів. Для зберігання переносу і забезпечення затримки імпульсу перенесення P_{i+1} на час одного такту використовується двоступеневий D-тригер, тобто до приходу пари доданків наступного розряду, з якими він буде додаватися. Результати додавання також зчитуються послідовно, розпочинаючи з менш значущих розрядів. Для зберігання та введення операндів на входи суматора, а також для запису результату додавання, зазвичай використовуються регістри зсуву.

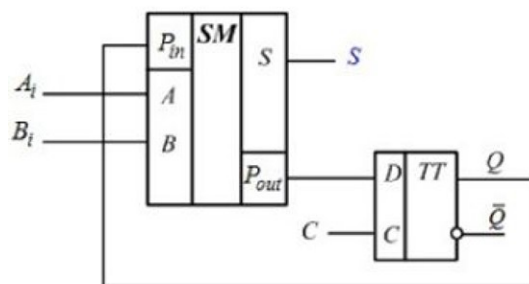


Рисунок 2.6 – Послідовний багаторозрядний суматор

Перевагою послідовних багаторозрядних суматорів є їх низькі апаратні витрати, однак недоліком є обмежена швидкодія. У послідовних суматорах кількість тактів для виконання додавання дорівнює кількості розрядів у числі. Тому ці суматори часто застосовуються у цифрових пристроях, які працюють на невеликих швидкостях.

Схема паралельного суматора з послідовним перенесенням показана на рис. 2.7. Кількість суматорів у такій схемі відповідає кількості розрядів операндів A_0, A_1, \dots, A_n і B_0, B_1, \dots, B_n . Вихід переносу P_{out} кожного суматора з'єднується з входом переносу P_{in} наступного старшого розряду. На вході перенесення молодшого розряду встановлюється потенціал "0", оскільки сигнал перенесення сюди не надходить. Суми розрядних коефіцієнтів A_i і B_i подаються на входи відповідних однорозрядних суматорів паралельно (одночасно), тоді як сигнал перенесення P_{in} передається від розряду до розряду послідовно в часі (асинхронно) і приходить з завершенням операції додавання у попередньому розряді.

Швидкодія таких суматорів обмежена затримкою переносу, оскільки формування переносу на виході старшого розряду не може відбутися доти, поки сигнал перенесення не розповсюдиться по всьому ланцюжку суматорів.

Найвищу швидкодію демонструють паралельні суматори з паралельним перенесенням. Для організації паралельного перенесення застосовуються спеціальні вузли – схеми прискореного перенесення, які можуть бути випущені у формі окремих мікросхем або безпосередньо інтегруватися у схему суматора.

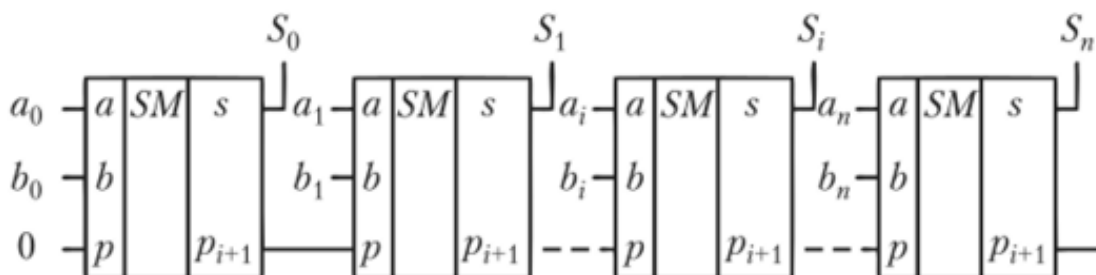


Рисунок 2.7 – Чотирирозрядний паралельний багаторозрядний суматор з послідовним перенесенням

Суматор є центральним вузлом арифметико-логічного пристрою комп'ютера, який відповідає за виконання арифметичних і логічних операцій над операндами. Використовуючи суматор, можна здійснити багато арифметичних операцій: наприклад, операцію віднімання можна звести до додавання слів у оберненому або доповняльному кодах, а операції множення та ділення можна реалізувати як послідовні операції додавання та зсуву. [8]

2.2.1 Багаторозрядний суматор з прискореним переносом

Для сигналу перенесення i -го розряду справедливе співвідношення:

$$C_{i+1} = a_i b_i + (a_i \oplus b_i) C_i = g_i + p_i C_i,$$

$g_i = 1$ коли в даному розряді перенос відбувається внаслідок a_i, b_i . Тому його називають функцією генерації переносу. Сигнал p_i показує, чи передається отриманий у молодшому розряді сигнал перенесення C_i далі. Тому він називається функцією розповсюдження переносу.

Таким чином, можна вивести такі формули для обчислення перенесення сигналів:

$$C_1 = g_0 + p_0 C_0$$

$$C_2 = g_1 + p_1 C_1 = g_1 + p_1 g_0 + p_1 p_0 C_0$$

$$C_3 = g_2 + p_2 C_2 = g_2 + p_2 g_1 + p_2 p_1 g_0 + p_2 p_1 p_0 C_0$$

$$C_4 = g_3 + p_3 C_3 = g_3 + p_3 g_2 + p_3 p_2 g_1 + p_3 p_2 p_1 g_0 + p_3 p_2 p_1 p_0 C_0$$

Затримка розрахунку будь-якого сигналу дорівнює:

$$T_c = T_1 + T_2 + T_3,$$

де T_1 – затримка розрахунку сигналу p_i (затримка елемента XOR); T_2 – затримка елемента І; T_3 – затримка елемента АБО.

Як видно, T_c не залежить від розрядності суматора.

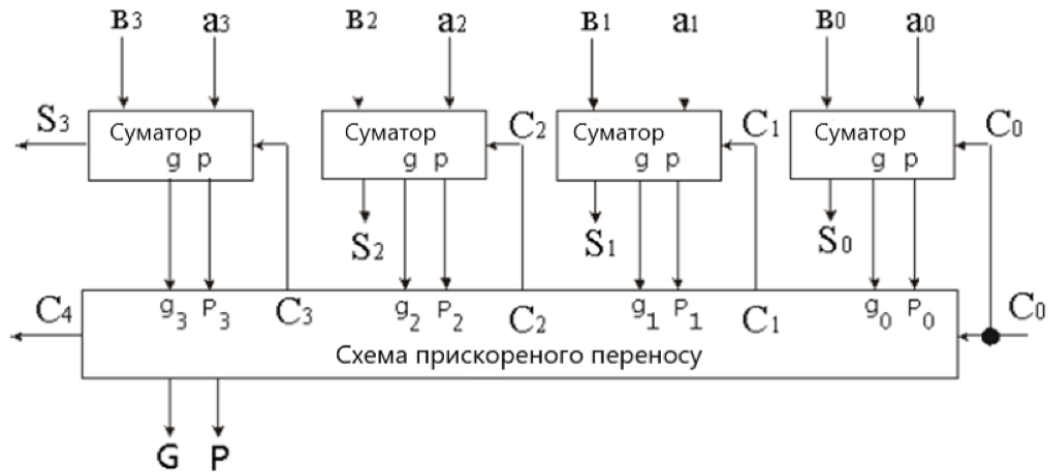


Рисунок 2.8 – Структурна схема 4-розрядного суматора з прискореним переносом

Нижче, на рис. 2.9, приведено моделювання схеми суматора-віднімача у середовищі Electronics Workbench 5.12.

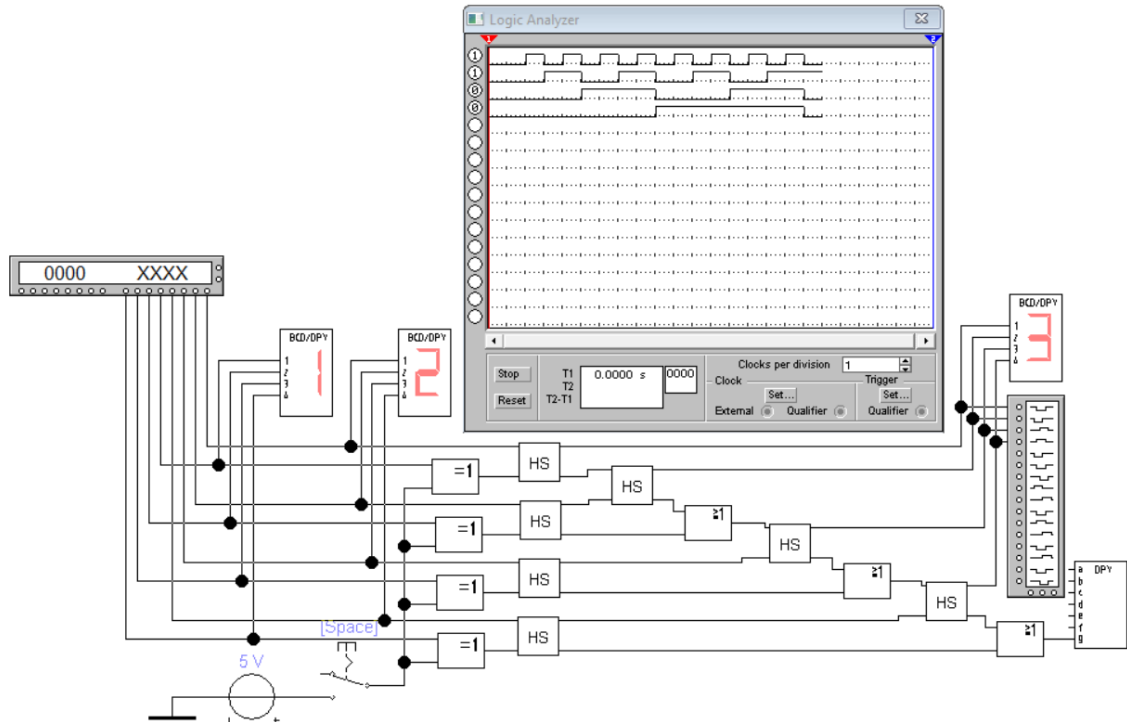


Рисунок 2.9 – Моделювання схеми в середовищі Electronics Workbench

Схема виконана у вигляді чотирирозрядного паралельного суматора з

послідовним перенесенням на напівсуматорах, що складаються з двох елементів XOR та AND. Завдяки керуючому сигналу та елементам XOR що знаходяться перед суматорами емулюється операція суми (встановлено 0) або віднімання (встановлено 1).

Для реалізації операцій I, АБО та «Виключне АБО» обрано стандартні мікросхеми з Electronics Workbench 5.12: 7408, 7432 та 7486 відповідно, на рис. 2.10 наведені всі мікросхеми.

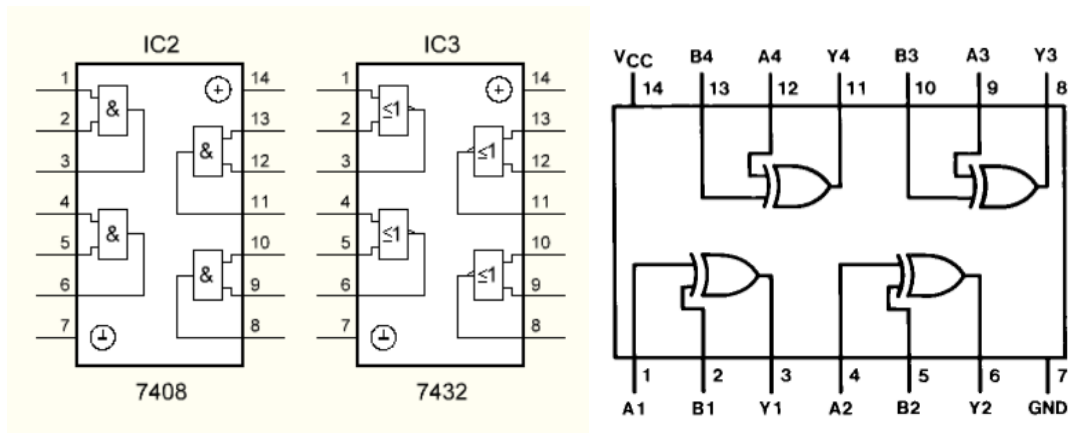


Рисунок 2.10 – Умовне позначення мікросхем 7408, 7432, 7486

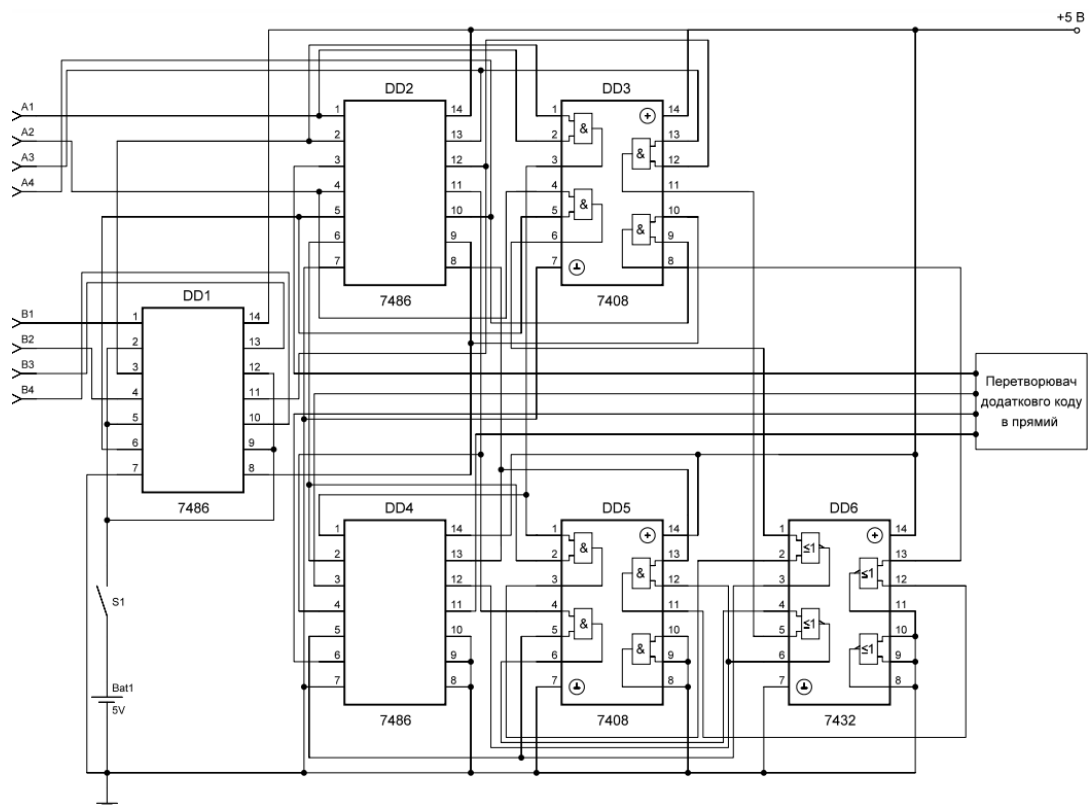


Рисунок 2.11 – Схема суматора-віднімача на реальних мікросхемах

На рис. 2.11 представлена схема суматора-віднімача на реальних мікросхемах, виконана в Splan 7.0. Для перетворення додаткового коду, що виникає з операції віднімання меншого від більшого потрібно розробити перетворювач додаткового коду в прямий.

2.3 Перетворення додаткового коду в прямий

Прямий код додатного двійкового числа ідентичний його доповняльному і оберненому кодам. Для утворення доповняльного коду від'ємного двійкового числа потрібно додати до його оберненого коду одиницю до молодшого розряду.

Знаковий розряд прямого коду використовується як керуючий сигнал: якщо $X_{zn} = 0$, то вихідний код збігається зі значенням вхідного; якщо $X_{zn} = 1$, застосовується перетворення згідно з табл. 2.3.

Таблиця 2.3 – Відповідність між кодами беззнакових розрядів

Прямий код				Доповняльний код				Прямий код				Доповняльний код			
X_4	X_3	X_2	X_1	Y_4	Y_3	Y_2	Y_1	X_4	X_3	X_2	X_1	Y_4	Y_3	Y_2	Y_1
0	0	0	0	0	0	0	0	1	0	0	0	1	0	0	0
0	0	0	1	1	1	1	1	1	0	0	1	0	1	1	1
0	0	1	0	1	1	1	0	1	0	1	0	0	1	1	0
0	0	1	1	1	1	0	1	1	0	1	1	0	1	0	1
0	1	0	0	1	1	0	0	1	1	0	0	0	1	0	0
0	1	0	1	1	0	1	1	1	1	0	1	0	0	1	1
0	1	1	0	1	0	1	0	1	1	1	0	0	0	1	0
0	1	1	1	0	0	1	1	1	1	1	1	0	0	0	1

Карту Карно відповідно до табл. 2.3 для отримання мінімальних форм функцій перетворення прямого коду в доповняльний показано на рис. 2.12.

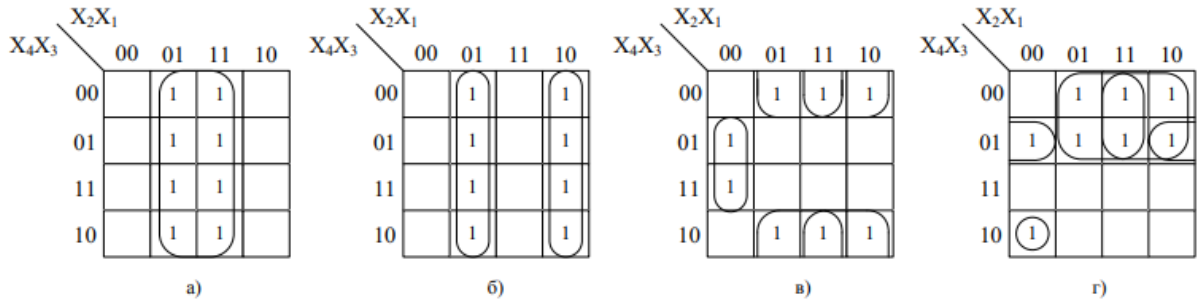


Рисунок 2.12 – Карта Карно для функцій перетворювача прямого коду в доповняльній: а) – Y1; б) – Y2; в) – Y3; г) – Y4

На основі карт Карно з урахуванням знакового розряду X_{зн} прямого коду для функцій Y1, Y2, Y3, Y4, що характеризують виходи перетворювача, отримуємо:

$$Y_{зн} = X_{зн}; Y_1 = X_1; Y_2 = X_2 \oplus X_1 X_{зн};$$

$$Y_3 = X_3 \oplus (X_2 \vee X_1)X_{зн}; Y_4 = X_4 \oplus (X_3 \vee X_2 \vee X_1)X_{зн}.$$

У загальному вигляді для Y_i справедливим є рівняння:

$$Y_i = X_i \oplus (X_{i-1} \vee X_{i-2} \vee \dots \vee X_1)X_{зн}$$

Схеми перетворювачів прямого коду в доповняльній показано на рис.

2.13.

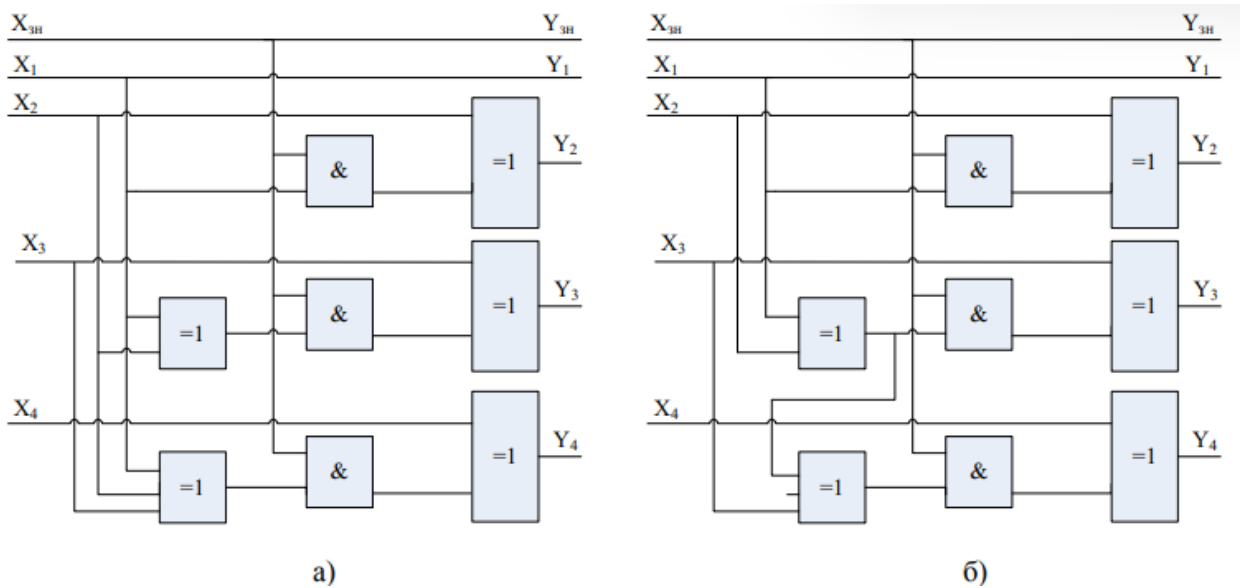


Рисунок 2.13 – Схеми перетворювачів прямого коду на доповняльній[9]

2.3.1 Розробка перетворювача додаткового коду в прямий

Пристрій перетворення додаткового коду в прямий необхідний для того щоб при відніманні меншого числа від більшого сигнал із суматора додаткового коду перетворювався на двійковий, в інших випадках перетворення не відбувалося, принцип функціонування перетворення додаткового коду наведений в табл. 2.4.

Таблиця 2.4 – Таблиця істинності перетворювача додаткового коду

	Додатковий код				Прямий код			
	A	B	C	D	F4	F3	F2	F1
0	0	0	0	0	0	0	0	0
15	1	1	1	1	0	0	0	1
14	1	1	1	0	0	0	1	0
13	1	1	0	1	0	0	1	1
12	1	1	0	0	0	1	0	0
11	1	0	1	1	0	1	0	1
10	1	0	1	0	0	1	1	0
9	1	0	0	1	0	1	1	1
8	1	0	0	0	1	0	0	0
7	0	1	1	1	1	0	0	1
6	0	1	1	0	1	0	1	0
5	0	1	0	1	1	0	1	1
4	0	1	0	0	1	1	0	0
3	0	0	1	1	1	1	0	1
2	0	0	1	0	1	1	1	0
1	0	0	0	1	1	1	1	1

З таблиці можна виділити наступні функції перетворювача:

$$F1 = \overline{A}\overline{B}\overline{C}D + \overline{A}\overline{B}C\overline{D} + \overline{A}B\overline{C}D + \overline{A}BC\overline{D} + A\overline{B}\overline{C}D + A\overline{B}C\overline{D} + AB\overline{C}D + ABCD$$

$$F2 = ABC\overline{D} + AB\overline{C}D + A\overline{B}\overline{C}D + A\overline{B}C\overline{D} + \overline{A}B\overline{C}D + \overline{A}BC\overline{D} + \overline{A}\overline{B}\overline{C}D + \overline{A}\overline{B}CD$$

$$F3 = A\overline{B}\overline{C}D + A\overline{B}C\overline{D} + A\overline{B}\overline{C}D + A\overline{B}C\overline{D} + \overline{A}B\overline{C}D + \overline{A}BC\overline{D} + \overline{A}\overline{B}\overline{C}D + \overline{A}\overline{B}CD$$

$$F4 = A\overline{B}\overline{C}D + \overline{A}B\overline{C}D + \overline{A}BC\overline{D} + \overline{A}\overline{B}\overline{C}D + \overline{A}\overline{B}CD + \overline{A}\overline{B}\overline{C}D + \overline{A}\overline{B}CD + \overline{A}\overline{B}\overline{C}D$$

З функцій було побудовано в Electronics Workbench 5.12 схему перетворення додаткового коду в прямий що зображено на рис 2.14.

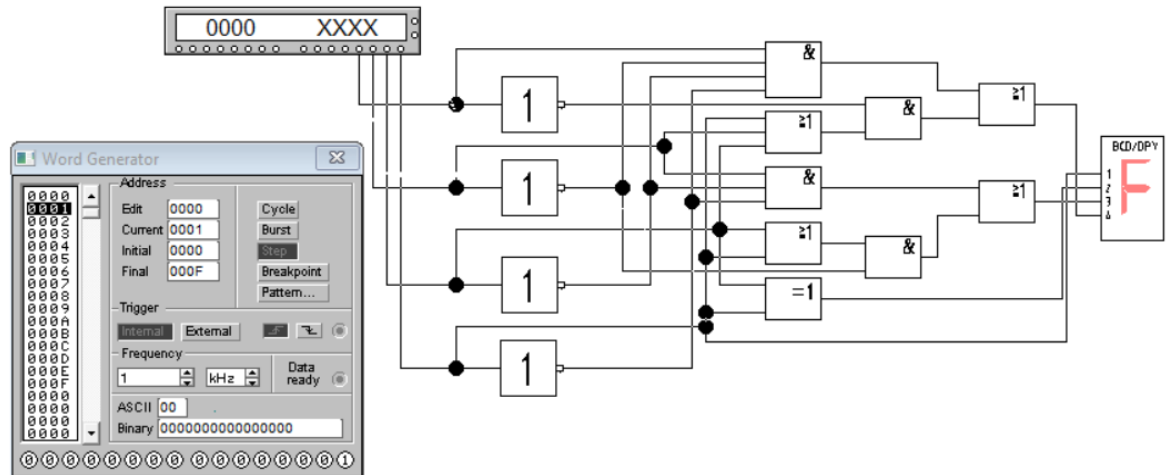


Рисунок 2.14 – Схема перетворення додаткового коду в прямий

Для схеми суматора віднімача було замінено схему 2.14 на схему на рис 2.15.

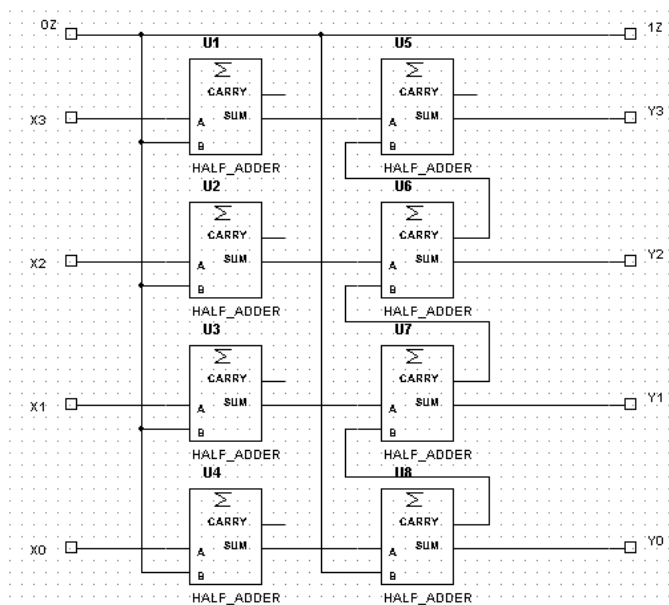


Рисунок 2.15 – Замінена схема перетворення додаткового коду в прямий

Також для того щоб перетворювач підключався тільки тоді коли відбувається процес віднімання на вхід 0Z подається сигнал з компаратора.

Схема перетворювача додаткового коду в прямий на реальних елементах представлена на рис. 2.16, виконана в Splan 7.0.

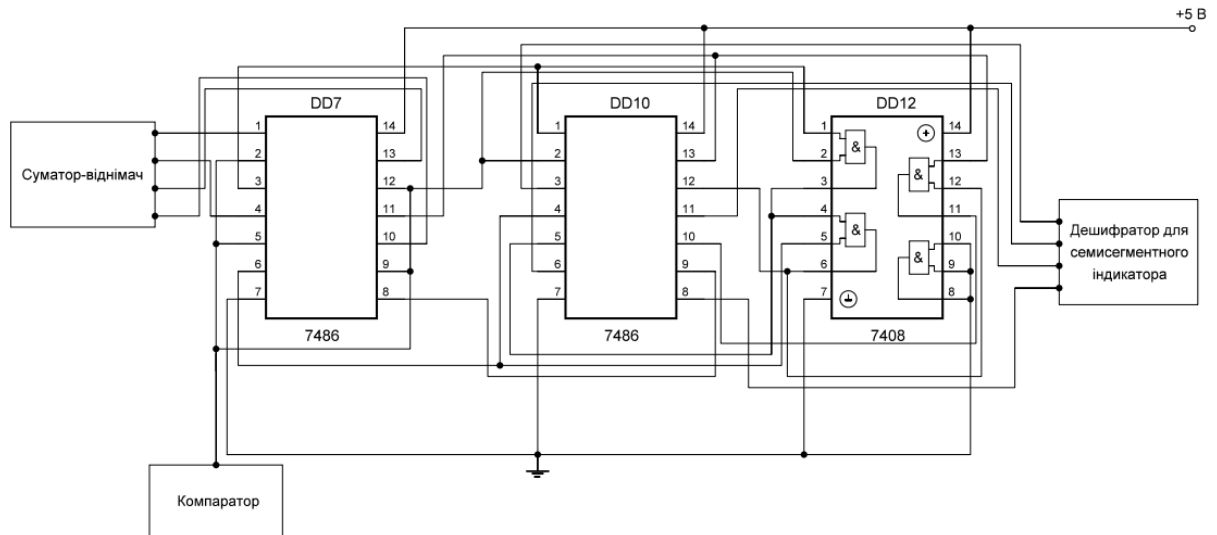


Рисунок 2.16 – Перетворювача додаткового коду в прямий у середовищі Splan7.0

Перетворювач додаткового коду в двійковий (рис. 2.16) перетворює двійкове число, представлене в додатковому коді, в двійкове число, представлене в прямому коді, якщо з компаратора не поступає сигнал тоді перетворення коду не відбувається.

2.4 Цифровий компаратор

Цифровий компаратор, або схема порівняння, є комбінаційним функціональним вузлом, що проводить порівняння двох чисел однакової розрядності, виражених у двійковому коді, та генерує вихідний логічний сигнал щодо результату порівняння. Термін "компаратор" походить від англійського слова "compare", що означає "порівнювати". Кількість входів компаратора визначається розрядністю порівнюваних кодів. Залежно від схемного виконання компаратори можуть визначати рівність чисел А і В

($A=B$) та (або) нерівність чисел ($A>B$, $A<B$). Результат порівняння відображається у вигляді логічного сигналу на виході компаратора. Зазвичай формуються три сигнали: $F_{A=B}$, $F_{A>B}$, $F_{A<B}$. У найпростіших компараторах на виході присутній лише сигнал, який вказує на рівність або нерівність кодів, тому такі компаратори називаються компараторами рівності або нуль-органами.

На рисунку 2.17 показано умовне зображення компаратора, логічна функція якого позначається буквами СОР (від англійського "comparator") або знаками "=". Мітки у лівому додатковому полі позначають номери розрядів кодів сигналів, які порівнюються, а також керуючі сигнали "=", ">", і "<". Якщо використовується лише одна мікросхема, то на вхід "=" потрібно подати логічну одиницю, а на входи ">" та "<" – логічні нулі. Входи ">" та "<" використовуються для розширення розрядності кодів, які порівнюються: ці входи компаратора з'єднані з відповідними виходами мікросхеми, яка проводить порівняння молодших розрядів кодів. Мітки у правому додатковому полі відображають функціональне призначення виходу(ів) компаратора.

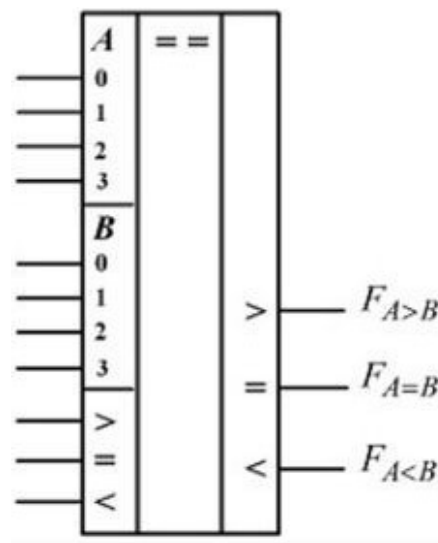


Рисунок 2.17 – Умовне позначення 4-розрядного компаратора

Логіка роботи однорозрядного компаратора рівності описується таблицею істинності (табл. 2.5), де A і B – однорозрядні двійкові числа.

Умовне позначення однорозрядного компаратора рівності зображено на рис. 2.18.

Таблиця 2.5 – Таблиця істинності однорозрядного компаратора рівності

Входи		Вихід
A	B	$F_{A=B}$
0	0	1
0	1	0
1	0	0
1	1	1

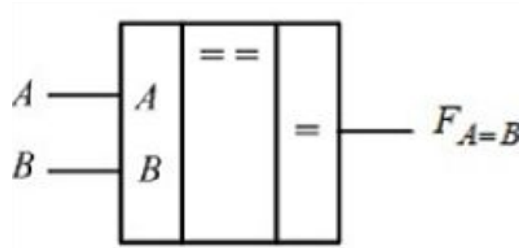


Рисунок 2.18 – Умовне зображення однорозрядного компаратора рівності

Функція $F_{A=B}$ приймає значення логічної одиниці, якщо $A=B$, і логічного нуля, якщо $A \neq B$. Така логічна функція двох змінних має назву "еквівалентність" і є інверсією функції додавання за модулем два «Виключне АБО». Тому найпростіший спосіб реалізації компаратора полягає у використанні логічного елемента "Виключне АБО-НІ" (рис. 2.19).

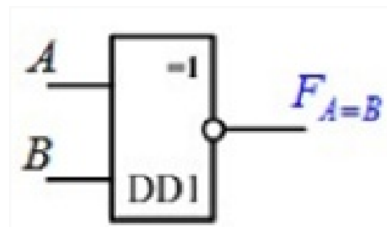


Рисунок 2.19 – Компаратор на логічному елементі «Виключне АБО-НІ»

Нехай заданим є двійкове слово B , а слово A задано двійковими розрядами $A=A_2A_1A_0$. Необхідно отримати вектор ознак результатів операції

(прапорці) для ознак відношень $F_1F_2F_3$ двійкового слова A з наступними заданими константами B :

$$F_1 := F_{A=B} \quad (B=000);$$

$$F_2 := F_{A=B} \quad (B=111);$$

$$F_3 := F_{A \leq B} \quad (B=011).$$

Сформуємо таблицю відповідності кодів значень ознак відношень F_1, F_2, F_3 слова $A=A_2A_1A_0$ з константами (табл. 2.6).

Таблиця 2.6 – Логіка порівняння слова з константою

A_2	A_1	A_0	F_1	F_2	F_3
0	0	0	1	0	1
0	0	1	0	0	1
0	1	0	0	0	1
0	1	1	0	0	1
1	0	0	0	0	0
1	0	1	0	0	0
1	1	0	0	0	0
1	1	1	0	1	0

В результаті отримуємо функції:

$$F_1 = \overline{A_2A_1A_0}, F_2 = A_2A_1A_0, F_3 = \overline{A_2}.$$

Схема порівняння за цими функціями подано на рис. 2.20.

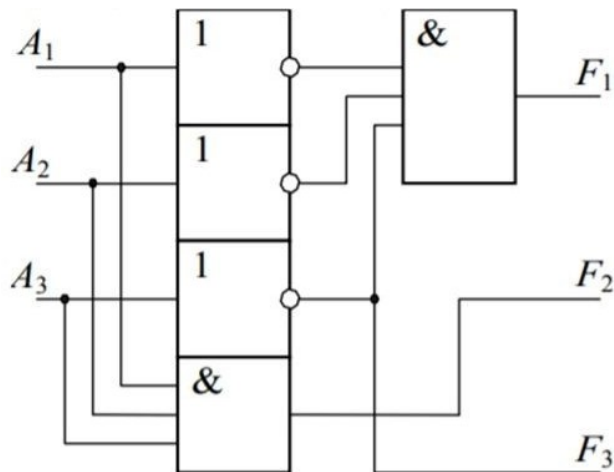


Рисунок 2.20 – Схема порівняння слова з константою

Двійкові n -розрядні слова рівні, коли одночасно попарно рівні їх розряди, тобто $A_i = B_i$ або $A(n) = B(n)$, $i = 1, 2, \dots, n$. На рис. 2.21 подано функцію порівняння r_i двох i -х розрядів A , B .

Таблиця 2.7 – Функція порівняння розряду i слів A , B

A_i	B_i	r_i
0	0	1
0	1	0
1	0	0
1	1	1

Функцію r_i –х розрядів A і B можна подати як:

$$r_i = \overline{A_i} \overline{B_i} \vee A_i B_i = \overline{A_i \oplus B_i} = \overline{M_i},$$

де M_i – функція додавання за модулем 2 («Виключне АБО»).

Ознака рівності двох n -розрядних слів $P_{A=B}$ визначається логічним добутком порозрядних умов r_i :

$$P_{A=B} = r_n r_{n-1} \dots r_1 = M_n \cdot M_{n-1} \cdot \dots \cdot M_1.$$

Цифрові компаратори широко використовуються для моніторингу та виправлення результатів операцій арифметики та логіки, а також для контролю передачі даних між регістрами в цифрових схемах. Вони доступні як окремі мікросхеми, вбудовані відомі у набори елементів.[10]

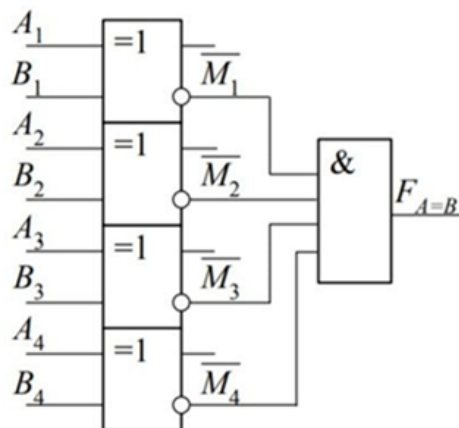


Рисунок 2.21 – Схема порівняння двох чотирирозрядних слів A і B

2.4.1 Чотирирозрядний компаратор

Для подання на перетворювач сигналу про більше число буде використовуватися чотирирозрядний компаратор, перед яким буде йти з кожного сигналу елемента І на кожний з яких буде йти керуючий сигнал що буде сповіщати про операцію віднімання а на інший вхід буде подаватися сигнал який йде так само на суматор-віднімач. Для реалізації схеми компаратора було обрано мікросхему 74LS85, схема підключення наведено на рис 2.22.

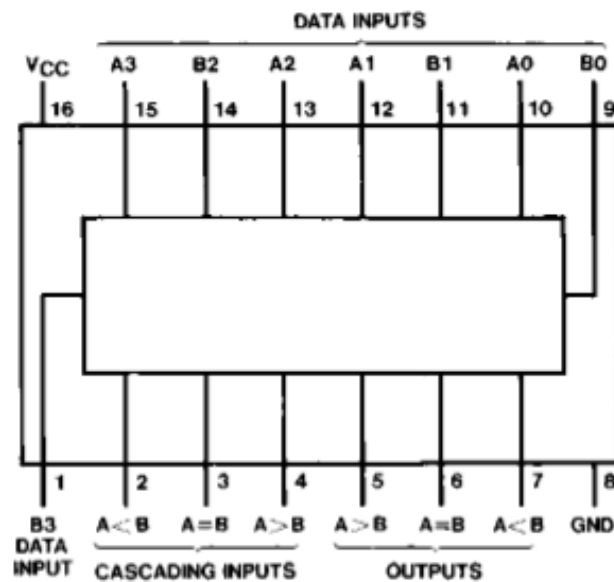


Рисунок 2.22 – Схема підключення чотирирозрядного компаратора

Компаратор 74LS85, показаний на рисунку 2.22, характеризується високою швидкістю реакції, ефективним використанням енергії та широким діапазоном робочих напруг. Він призначений для операцій від 5 В постійної напруги та може працювати в різноманітних умовах робочих напруг, забезпечуючи надійне і точне порівняння двійкових чисел.

Схема чотирирозрядного компаратора на реальних елементах представлена на рис. 2.23, виконана в Splan 7.0.

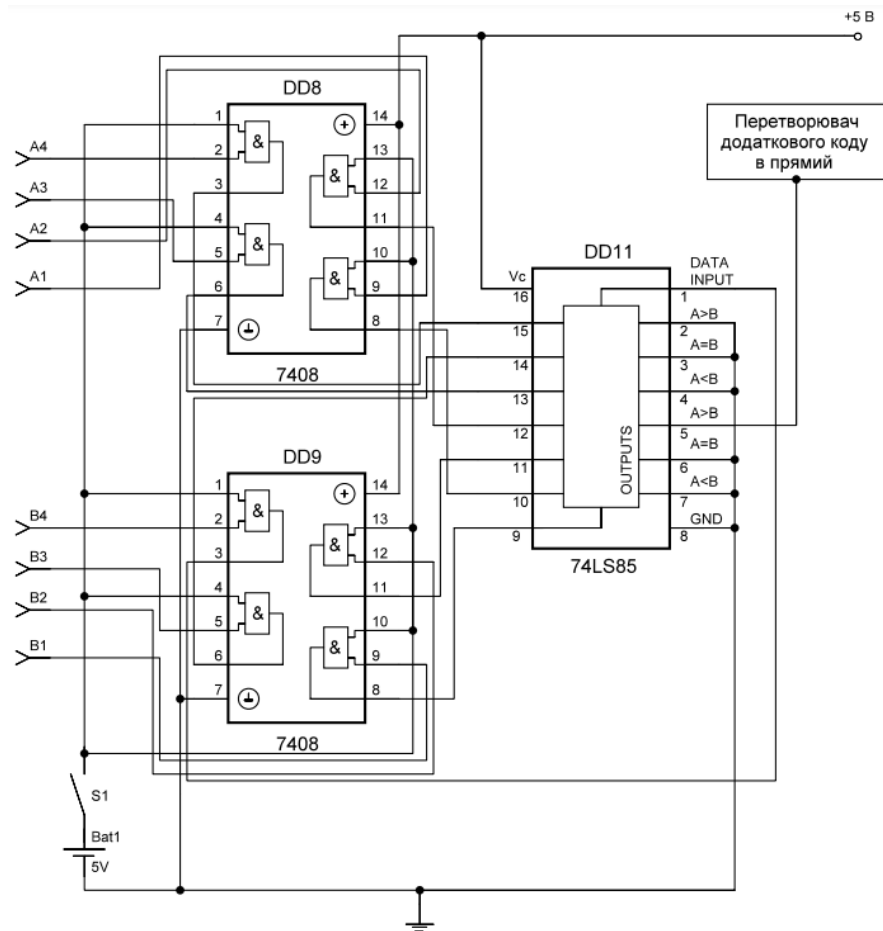


Рисунок 2.23 – Чотирирозрядний компаратора в Splan 7.0

Компаратор порівнює два двійкових числа на своїх входах і видає на виході сигнал, який вказує, яке з чисел більше, менше або дорівнює іншому та передає його на перетворювач додаткового коду на прямий. Операція, яка виконується, визначається значенням керуючого сигналу.

2.5 Перетворення двійкового коду для передачі інформації на семисегментні індикатори

Дешифратор - це електронний пристрій, у якому лише один вихід активний в будь-який момент часу. Вони широко використовуються в системах автоматичного керування, телефонних і телеграфних системах

зв'язку, комп'ютерах, системах зв'язку та телемеханіки. Існують різні типи дешифраторів, серед яких лінійні - найпростіші. Вони відрізняються за кількістю каскадів та елементів, швидкодією, характером навантаження на вхідні сигнали. Також вони відрізняються кількістю логічних елементів, часом затримки сигналів, коефіцієнтами розгалуження, завадостійкістю та надійністю. Дешифратори бувають повні та неповні. У повному дешифраторі існує 2^n виходів для n входів. У неповному дешифраторі кількість виходів менша за 2^n . Так, якщо повний дешифратор має 5 входів, то у нього буде 32 виходи, а для 10 входів - 1024. Кількість виходів у повному дешифраторі зростає експоненційно відносно кількості входів.

Умовне позначення дешифратора – DC (decoder). Наприклад, у повному дешифраторі з трьома входами кількість його виходів становить 8 (рис. 2.24).

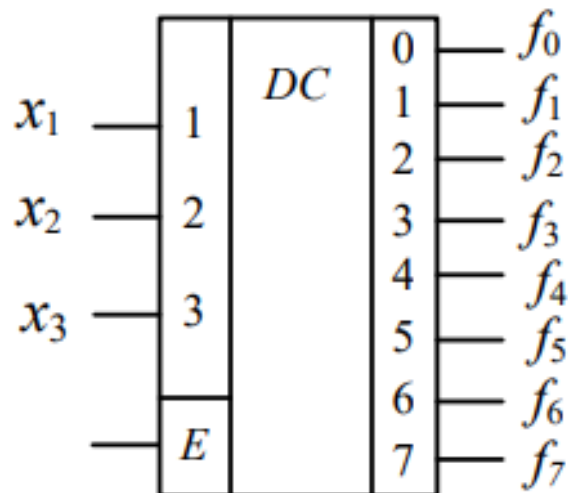


Рисунок 2.24 – Стандартне позначення дешифратора

Вхідні сигнали дешифратора також часто називають адресними, оскільки вони визначають адресу активного виходу. Крім входів і виходів, дешифратор зазвичай має вхід E , який вмикає його роботу. При значенні $E=1$ дешифратор знаходиться в активному стані. При $E=0$ на всіх виходах встановлюються неактивні сигнали, які рівні нулю, незалежно від наявності сигналів на входах. Будь-який дешифратор працює відповідно до таблиці

істинності, зазначеної в табл. 2.8, де для трьох змінних x_1, x_2, x_3 перераховано 8 можливих функцій - f_1, f_2, \dots, f_7 , що відповідають комбінаціям входів 1.

Таблиця 2.8 – Лінійний дешифратор із $n = 3$ входами

№	x_1	x_2	x_3	f_0	f_1	f_2	f_3	f_4	f_5	f_6	f_7
1	0	0	0	1	0	0	0	0	0	0	0
2	0	0	1	0	1	0	0	0	0	0	0
3	0	1	0	0	0	1	0	0	0	0	0
4	0	1	1	0	0	0	1	0	0	0	0
5	1	0	0	0	0	0	0	1	0	0	0
6	1	0	1	0	0	0	0	0	1	0	0
7	1	1	0	0	0	0	0	0	0	1	0
8	1	1	1	0	0	0	0	0	0	0	1

Оскільки кожний вихід дешифратора, незалежно від його структури, може реалізувати константу 1 (таблицю 2.8), то за його допомогою може бути побудована будь-яка логічна функція f , кількість змінних якої відповідає кількості входів дешифратора. Для цього виходи дешифратора, що мають значення 1, потрібно з'єднати за допомогою логічної операції «АБО».[11]

2.5.1 Розробка схеми дешифратора

Для передачі двійкового коду на семисегментний індикатор, який показує десяткові числа потрібно розробити двійково-десятковий дешифратор. Таблиця функціонування дешифратора наведено в табл. 2.9.

Таблиця 2.9 – Таблиця істинності для двійково-десятькового дешифратора

	Двійковий код				Двійково-десятьковий				
	A	B	C	D	N1	F4	F3	F2	F1
0	0	0	0	0	0	0	0	0	0
1	0	0	0	1	0	0	0	0	1
2	0	0	1	0	0	0	0	1	0
3	0	0	1	1	0	0	0	1	1
4	0	1	0	0	0	0	1	0	0
5	0	1	0	1	0	0	1	0	1
6	0	1	1	0	0	0	1	1	0
7	0	1	1	1	0	0	1	1	1
8	1	0	0	0	0	1	0	0	0
9	1	0	0	1	0	1	0	0	1
10	1	0	1	0	1	0	0	0	0
11	1	0	1	1	1	0	0	0	1
12	1	1	0	0	1	0	0	1	0
13	1	1	0	1	1	0	0	1	1
14	1	1	1	0	1	0	1	0	0
15	1	1	1	1	1	0	1	0	1

Функції, що описують табл. 2.9 наведені нижче:

$$F1 = \bar{A}\bar{B}\bar{C}D + \bar{A}\bar{B}CD + \bar{A}B\bar{C}D + \bar{A}BCD + A\bar{B}\bar{C}D + A\bar{B}CD + AB\bar{C}D + ABCD$$

$$F2 = \bar{A}\bar{B}\bar{C}\bar{D} + \bar{A}\bar{B}C\bar{D} + \bar{A}B\bar{C}\bar{D} + \bar{A}BC\bar{D} + A\bar{B}\bar{C}\bar{D} + A\bar{B}C\bar{D}$$

$$F3 = \bar{A}\bar{B}\bar{C}D + \bar{A}\bar{B}CD + \bar{A}B\bar{C}D + \bar{A}BCD + A\bar{B}\bar{C}D + ABCD$$

$$F4 = A\bar{B}\bar{C}\bar{D} + A\bar{B}\bar{C}D$$

$$N1 = A\bar{B}\bar{C}\bar{D} + A\bar{B}C\bar{D} + AB\bar{C}\bar{D} + AB\bar{C}D + ABC\bar{D} + ABCD$$

Розроблена схема дешифратора представлена на рис. 2.25.

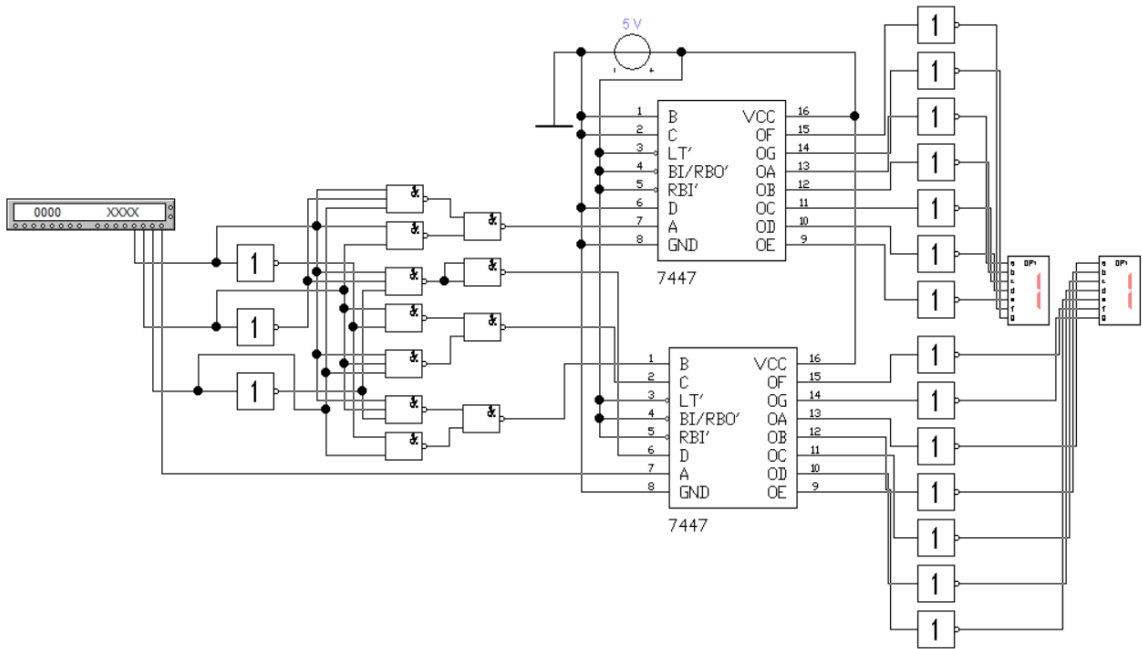


Рисунок 2.25 – Схема дешифратора для семисегментного індикатора

Елементи І-НІ та інвертори, що знаходяться перед мікросхемами 7447 можна замінити на мікросхему дешифратора 74185, що зображена на рис. 2.26.

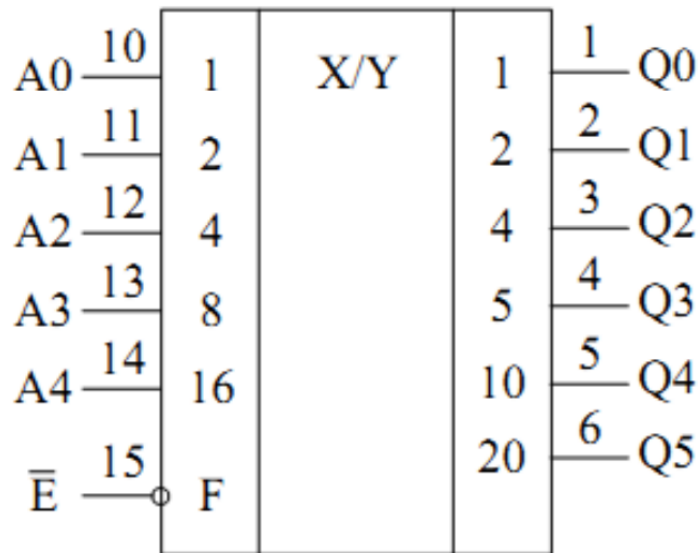


Рисунок 2.26 – Мікросхема дешифратора 74185

Схема дешифратора для семисегментного індикатора на реальних елементах представлена на рис. 2.27, виконана в Splan 7.0.

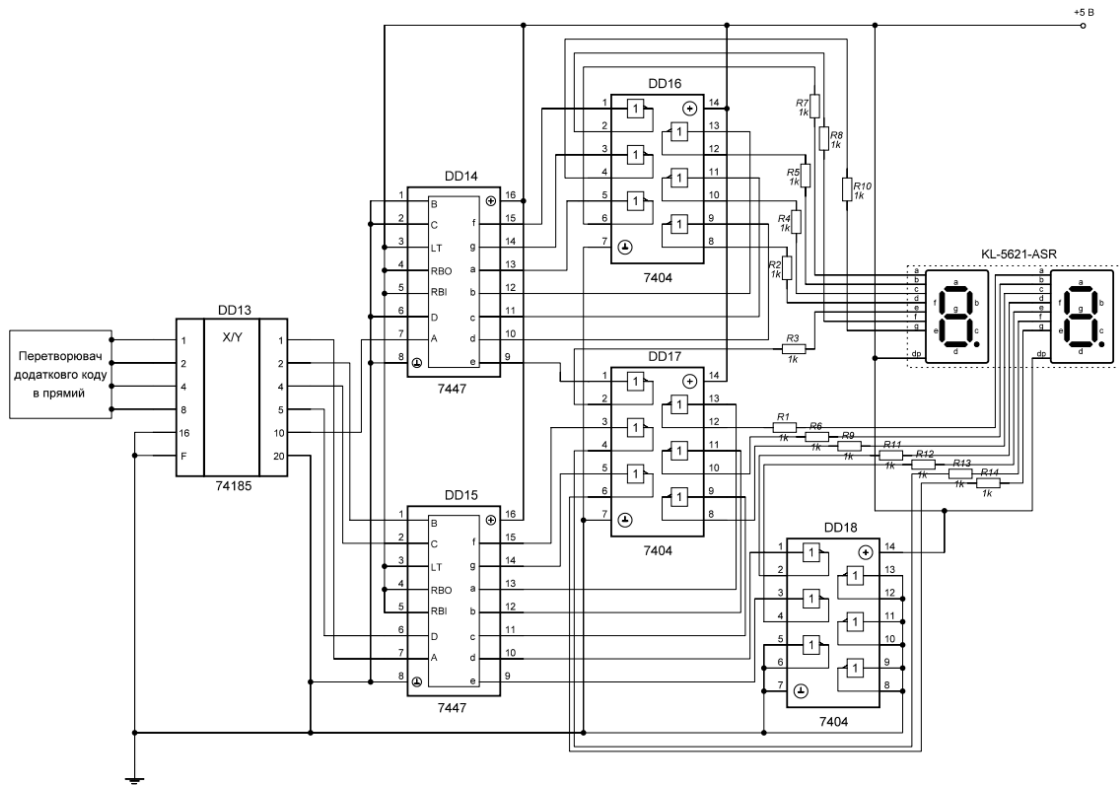


Рисунок 2.27 – Схема дешифратора для семисегментного індикатора у середовищі Splan 7.0

Дешифратор перетворює двійкове число на своїх входах на відповідний код семисегментного індикатора для відображення результату операції у десятковому вигляді.

2.6 Семисегментний індикатор

Цифровий декодер ІС — це пристрій, який перетворює один цифровий формат в інший, і один із найбільш часто використовуваних пристроїв для цього називається декодером двійкового десяткового кодування (BCD) у 7-сегментний дисплей.

7-сегментні світлодіодні (світлодіодні) або РК- дисплеї (рідкокристалічні дисплеї) забезпечують дуже зручний спосіб відображення

інформації або цифрових даних у формі цифр, літер або навіть буквено-цифрових символів.

Зазвичай 7-сегментні дисплеї складаються з семи окремих кольорових світлодіодів (так звані сегменти) в одному дисплеї. Для створення необхідних чисел або шістнадцяткових символів від 0 до 9 і від A до F відповідно, на дисплеї має бути підсвічена правильна комбінація світлодіодних сегментів, і це роблять декодери BCD до 7-сегментного дисплея, такі як 74LS47.

Стандартний 7-сегментний світлодіодний дисплей зазвичай має вісім (8) вхідних з'єднань, по одному для кожного світлодіодного сегмента та один, який діє як загальний термінал або з'єднання для всіх внутрішніх сегментів дисплея. Деякі окремі дисплеї також мають додатковий вхідний штифт для відображення десяткової коми в нижньому правому або лівому куті.

В електроніці існує два важливих типи 7-сегментного світлодіодного цифрового дисплея.

1. Дисплей із загальним катодом (CCD) – у дисплеї із загальним катодом усі катодні з'єднання світлодіодів з'єднані разом із логічним «0» або землею. Окремі сегменти підсвічуються шляхом подачі сигналу «HIGH», логічної «1» на окремі клеми анода.

2. Дисплей із загальним анодом (CAD) – у дисплеї із загальним анодом усі з'єднання анода світлодіодів об'єднані разом за логікою «1», а окремі сегменти підсвічуються шляхом підключення окремих катодних клем до логіки «LOW». Сигнал «0».

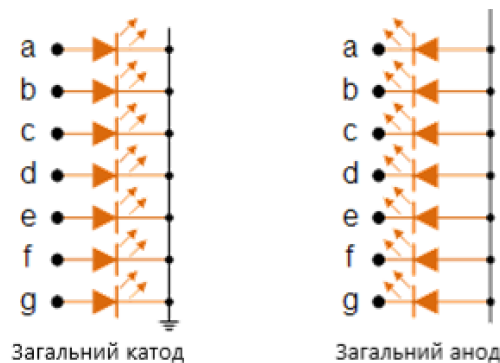


Рисунок 2.28 – Формат із загальним катодом і загальним анодом

Електричне з'єднання окремих діодів для дисплею із загальним катодом і дисплеєм із загальним анодом, а також освітленням кожного світлодіода окремо, вони можуть відобразити різноманітні цифри чи символи.

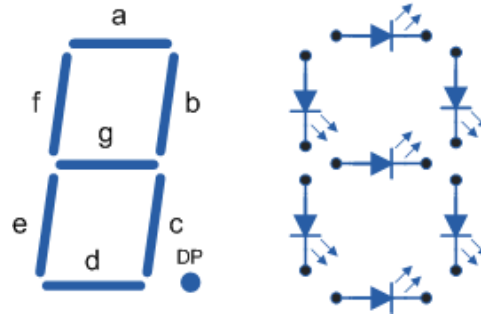


Рисунок 2.29 – Формат декодера 7-сегментного дисплея

Отже, щоб відобразити, наприклад, число «3», сегменти a, b, c, d і g повинні бути освітлені. Якщо ми хочемо відобразити іншу цифру чи букву, тоді потрібно буде підсвітити інший набір сегментів. Тоді для 7-сегментного дисплея ми можемо скласти таблицю істинності, що містить сегменти, які необхідно підсвітити, щоб отримати необхідний символ, як показано нижче.

Таблиця 2.10 – Таблиця істинності для 7-сегментного дисплея

Окремі сегменти							Дисплей	Окремі сегменти							Дисплей
a	b	в	d	e	f	g		a	b	в	d	e	f	g	
×	×	×	×	×	×		0	×	×	×	×	×	×	×	8
	×	×					1	×	×	×	×		×	×	9
×	×		×	×		×	2	×	×	×		×	×	×	A
×	×	×	×			×	3			×	×	×	×	×	b
	×	×			×	×	4	×			×	×	×		C
×		×	×		×	×	5		×	×	×		×		d
×		×	×	×	×	×	6	×			×	×	×	×	E
×	×	×					7	×				×	×	×	F

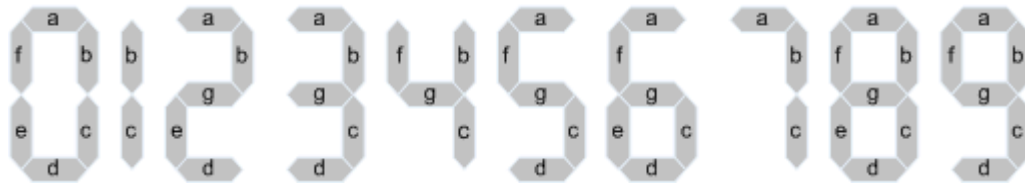


Рисунок 2.30 – 7-сегментні елементи дисплея для всіх чисел.

Можна побачити, що для відображення будь-якого однозначного числа від 0 до 9 у двійковому чи літер від А до F у шістнадцятирічному, нам знадобиться сім окремих сегментних з'єднань плюс одне додаткове з'єднання для «загального» з'єднання світлодіода. Крім того, оскільки сегменти в основному є стандартним світловипромінювальним діодом, керуюча схема повинна виробляти до 20 мА струму для освітлення кожного окремого сегмента та відображення числа «8», усі сім сегментів повинні бути освітлені, що призведе до загального струму майже 140 мА (8 x 20 мА).

Очевидно, що використання такої кількості з'єднань і споживання електроенергії є недоцільним для деяких електронних або мікропроцесорних схем, тому, щоб зменшити кількість сигнальних ліній, необхідних для управління лише одним дисплеєм, декодери дисплея, такі як BCD на 7-сегментний дисплей. Замість цього використовуються мікросхеми декодера та драйвера.

2.6.1 Двійкове десяткове кодування

Двійкові десяткові числа (BCD або «8421» BCD) складаються лише з 4 бітів даних (байт або половина байта), подібно до шістнадцяткових чисел, з двійковими системами, але на відміну від шістнадцяткових чисел, які змінюються від 0 до F, BCD-числа лише в діапазоні від 0 до 9, причому шаблони двійкових чисел від 1010 до 1111 (від А до F) є неприпустимими

введенням для цього типу відображення, тому не використовуються, як наведено в табл. 2.11.

Таблиця 2.11 – Таблиця істинності для BCD декодера

Десятковий	Бінарний шаблон				BCD	Десятковий	Бінарний шаблон				BCD
	8	4	2	1			8	4	2	1	
0	0	0	0	0	0	8	1	0	0	0	8
1	0	0	0	1	1	9	1	0	0	1	9
2	0	0	1	0	2	10	1	0	1	0	Недійсний
3	0	0	1	1	3	11	1	0	1	1	Недійсний
4	0	1	0	0	4	12	1	1	0	0	Недійсний
5	0	1	0	1	5	13	1	1	0	1	Недійсний
6	0	1	1	0	6	14	1	1	1	0	Недійсний
7	0	1	1	1	7	15	1	1	1	1	Недійсний

Декодер з двійковим десятковим кодуванням (BCD) до 7-сегментного дисплея, такий як TTL 74LS47 або 74LS48, має 4 входи BCD і 7 ліній виходу, по одному для кожного сегмента світлодіода. Це дозволяє використовувати менше 4-розрядне двійкове число (півбайта) для відображення всіх денарних чисел від 0 до 9, а шляхом додавання двох дисплеїв разом можна відобразити повний діапазон чисел від 00 до 99 лише з одним байт із восьми біт даних.

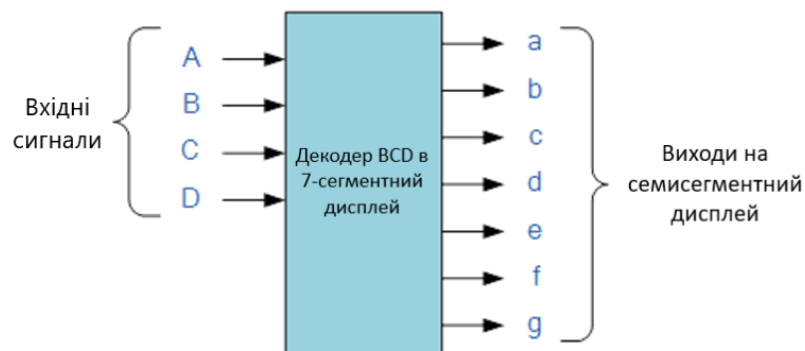


Рисунок 2.31 – Декодер BCD в 7-сегментний дисплей

Використання упакованого BCD дозволяє зберігати дві цифри BCD в одному байті (8 біт) даних, що дозволяє одному байту даних утримувати число BCD у діапазоні від 00 до 99 .

Нижче наведено приклад 4-бітового введення BCD (0100), що представляє число «4».

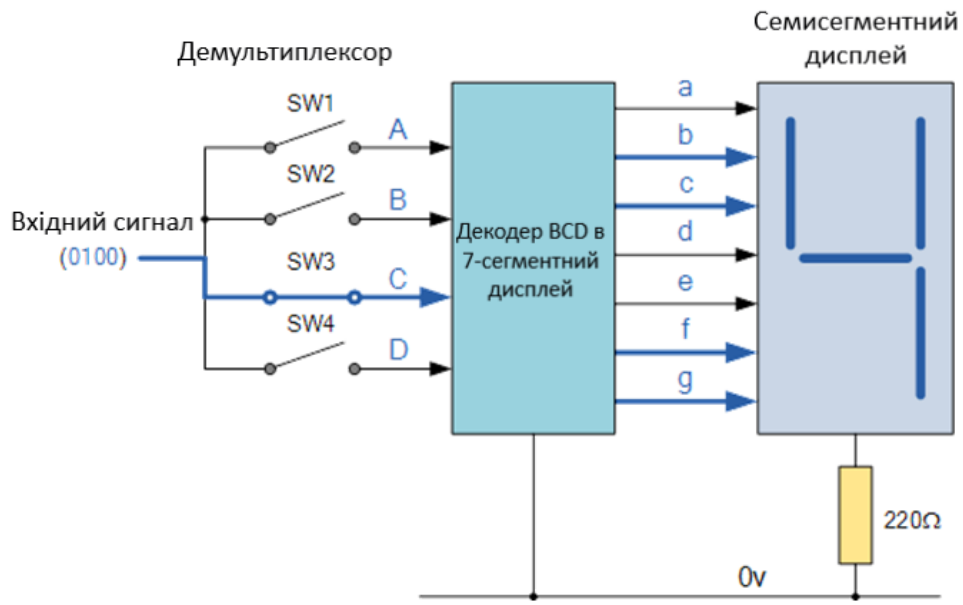


Рисунок 2.32 – Приклад декодера дисплея

На практиці резистори обмеження струму приблизно від 150 Ом до 220 Ом підключаються послідовно між мікросхемою декодера/драйвера та кожним сегментом світлодіодного дисплея, щоб обмежити максимальний потік струму. Існують різні декодери та драйвери для різних типів доступних дисплеїв, світлодіодних або РК-дисплеїв. Наприклад, 74LS48 для типів світлодіодів із загальним катодом, 74LS47 для типів світлодіодів із загальним анодом або CMOS CD4543 для типів рідкокристалічних дисплеїв (РК).

Рідкокристалічні дисплеї (РК-дисплеї) мають одну важливу перевагу перед подібними типами світлодіодів, оскільки вони споживають набагато менше електроенергії, і в даний час РК-дисплеї та світлодіодні дисплеї поєднуються разом, щоб утворити більші дисплеї матричного алфавітно-

цифрового типу, які можуть відображати літери та символи як а також числа у стандартних червоних або триколірних виходах.[12]

Семисегментний індикатор який буде відображати десяткові числа можна використати KL-5621-BSR, він зображений на рис. 2.32.



Рисунок 2.33 – Зображення семисегментного індикатора KL-5621-BSR

Схема електрична принципова пристрою комбінаційного типу для арифметичних операцій паралельної дії з прискореним переносом представлена у додатку А.

3 ОХОРОНА ПРАЦІ ТА ТЕХНОГЕННА БЕЗПЕКА

Система "людина - життєве середовище" знаходиться в центрі уваги в сфері безпеки та гігієни праці. Під життєвим середовищем розуміється та частина зовнішнього оточення, яка не лише забезпечує життя та існування людини, але й має великий вплив на її здоров'я та благополуччя. Аналіз системи "людина - життєве середовище" може проводитися на різних рівнях - від загального комплексного підходу до вивчення конкретних підсистем з урахуванням їхніх особливостей та взаємозв'язків з компонентами системи.

Підсистема "людина - природне середовище" має вирішальне значення, оскільки індустріальний та технологічний прогрес значно змінили відносини між людиною та природою. Розвиток промисловості та техніки дозволив людству використовувати нові джерела енергії, розробляти непізнані природні ресурси та технології, досліджувати глибини Землі та космос. Однак цей прогрес має й свої негативні наслідки. Сьогодні природне середовище постраждало від значних змін, що стало причиною виникнення нових загроз природного походження, які не лише негативно впливають на здоров'я людини, але й загрожують її існуванню.

Аналіз підсистеми "людина - виробниче середовище" є критично важливим у контексті безпеки та здоров'я людини. Науково-технічний прогрес і нові технології призвели до широкого застосування хімічних речовин у виробництві, розвитку великої потужності агрегатів, підвищення швидкості роботи устаткування та використання нових матеріалів. Однак цей прогрес також збільшив кількість виробничих небезпек, які загрожують здоров'ю та життю людей.

Підсистема "людина - побутове середовище" потребує особливої уваги через зростання кількості нещасних випадків, травм та смертей в цій сфері. Значна кількість побутових електроприладів, синтетичних матеріалів та засобів побутової хімії, які зараз знаходяться в сучасних квартирах,

полегшують наше життя та роблять його більш комфортним. Однак це також призводить до появи широкого спектру небезпечних та шкідливих факторів у нашому домі, таких як електричний струм, електромагнітне випромінювання, електростатичні поля, підвищений рівень шуму, вібрації, шкідливі речовини, пил та інші. [13]

3.1 Вимоги до виробничих приміщень

Промислове підприємство буде реалізовано відповідно до їх проектних вимог. Виробнича площа повинна бути забезпечена адекватними умовами для природного освітлення, водопостачання та вентиляції. Виробничі будівлі повинні бути розміщені відповідно до технічних процесів та шкідливих виробничих факторів цього підприємства.

Установки, в яких виробничий процес пов'язаний з виділенням шкідливих газів, парів, пилу та інших несприятливих виробничих факторів, розташовані в порівнянні з іншими будинками і житловими приміщеннями з підвітряного боку для вітру в кращому напрямку.

За характером шкідливих виробничих факторів створено 5 класів санітарно-захисних зон: клас I має ширину захисної зони 1000 м; клас II–500 м; клас III–300 м; клас IV–100 м і клас V–50 м.

У дуже шкідливих галузях ширина захисної зони може бути збільшена, але не більше ніж в 3 рази. Однак, враховуючи наявність шкідливих виробничих факторів, таких як шум високої інтенсивності, електромагнітне випромінювання в радіочастотному і мікрохвильовому діапазоні радіобладнання, ширину санітарно-захисної зони слід збільшити до 3 км. На території санітарно-захисної зони можуть розташовуватися підприємства з меншою кількістю шкідливих виробничих факторів, підсобні приміщення,

склади і охоронні споруди. Ця територія повинна бути упорядкована. Територія підприємства повинна бути обладнана водопроводом і каналізацією, твердим покриттям асфальтованих доріг і проїздів, знаками безпеки дорожнього руху.

Виробниче обладнання спроектовано та виготовлено за умови, що об'єм приміщення не менше 15 м³ або площа 4,5 м² мають мінімальну висоту 3,2 м.

Якщо в процесі роботи використовуються токсичні речовини (наприклад, ртуть, свинець, тетраетилсвинець і тд.). При оформленні інтер'єру виконуються особливі вимоги.

Для промислових підприємств необхідні наступні санітарні умови: гардеробна з раковиною і душем; приміщення для видалення пилю, сушіння і зневоднення; їдальня і кімната відпочинку; курильна кімната; медичний центр з надання першої допомоги постраждалим на виробництві і пацієнтам, а також медичний центр з медичних і санітарних питань. Розміри мінімально допустимих площ зазначених приміщень на одного працюючого наведені в табл.3.1.

Таблиця 3.1 - Мінімумально допустимі площі санітарно-побутових приміщень, м²

Гардеробні	0,05-1,2
Душові кабінки	0,81-1,62
Вільна площа перед душовою кабіною	0,54
Приміщення для сушіння одягу	0,2
Курильні кімнати	0,03
Приміщення для обігріву	0,1
Кімната для прийому їжі	1

Якщо потрібно підсобне приміщення, його слід розмістити в господарських будівлях промислової будівлі або в окремому будинку, з'єднаному з промисловим опалювальним переходом. [14]

3.2 Освітлення робочих місць

Серед факторів навколишнього середовища, що впливають на організм людини в процесі його роботи, світло займає перше місце. Адже відомо, що майже 90% всієї інформації про навколишнє середовище людина отримує через органи зору. Під час будь-якої робочої діяльності напруга очей багато в чому залежить від інтенсивності процесів, які супроводжують зір. Ці процеси включають адаптацію, регуляцію та конвергенцію.

Адаптація – це адаптація ока до змін умов освітлення (рівнів освітлення) у полі зору.

Розташування – це адаптація ока до зрозумілого зору об'єкта, розташованого на нерівномірній відстані від ока, через зміну кривизни кришталика.

Конвергенція – це здатність ока приймати положення, при якому зорові осі обох очей перетинаються на об'єкті, коли він дивиться на сусідній об'єкт.

Часта адаптація ока до мінливих умов освітлення, наявність різких тіней в полі зору, сліпий вплив яскравого джерела світла стомлює око і знижує його захисну реакцію - око втрачає контрастну чутливість і гостроту зору. Це може спричинити професійні захворювання та сприяти збільшенню кількості нещасних випадків. Залежно від різниці в яскравості тривалість процесу адаптації очей може зайняти 2-3 хвилини, але із самого початку людина практично нічого не бачить.

Світло впливає не тільки на функцію органів зору, але і на діяльність всього організму. При поганому освітленні людина швидко втомлюється, знижується продуктивність і підвищується ризик можливої неправильної поведінки і нещасних випадків. Згідно зі статистикою, до 5% травм можна пояснити недостатнім або необґрунтованим освітленням, а в 20% це сприяє виникненню травм. Зрештою, погане освітлення може призвести до професійних захворювань, таких як трудова міопія (короткозорість, спазми акомодатії).

Щоб створити оптимальні умови для візуальної роботи, необхідно враховувати не тільки кількість і якість освітлення, але і колірне середовище. Таким чином, при внутрішньому забарвленні світла, в залежності від збільшення кількості відбитого світла, рівень освітленості збільшується на 20-40% (при тій же потужності джерела світла), знижується різкість тіней і підвищується рівномірність освітлення. Якщо джерело світла або предмет у полі зору занадто яскравий, працівник може осліпнути. Нерівномірне освітлення і нерівномірна яскравість навколишніх предметів призводять до частоті реадaptaції очей під час роботи, в результаті чого виникає швидка стомлюваність органів зору. Тому рекомендується фарбувати поверхню, яка добре освітлена і знаходиться в області, середньо-яскравим кольором з коефіцієнтом відображення в межах 0,3-0,6; бажано, щоб вони мали матову або напівматову поверхню.

Для запобігання швидкого стомлення очей, професійних захворювань і нещасних випадків, а також для створення сприятливих умов для здорової праці, що сприяє підвищенню продуктивності праці та якості продукції, потрібно дотримуватися наступних вимог до виробничого освітлення:

- створити на робочій поверхні освітлення, відповідне характеру візуальної роботи і не поступається встановленим нормам;
- забезпечити достатню однорідність і стабільність освітлення на промислових підприємствах, щоб уникнути частоті переадаптації органів зору;
- не створюйте вражаючих ефектів як від самого джерела світла, так і від інших об'єктів в полі зору;
- не створюйте різноманітні і глибокі тіні на робочій поверхні (особливо на рухомій поверхні);
- контраст освітленої поверхні повинен бути достатнім для розрізнення деталей;
- не створюйте небезпечних і шкідливих виробничих факторів (шум, теплове випромінювання, небезпека ураження електричним струмом, загоряння лампи і вибуху);

- повинен бути надійним, простим у використанні, економічним та естетичним.[15]

3.3 Електробезпека на підприємстві

Безпечна робота ЕУ гарантується наступними трьома способами:

1) Фіксована структура та використання заходів захисту ланцюга;

Заходи з будівництва та захисту ланцюга є невід'ємною частиною ЕУ, гарантуючи, що він завжди буде працювати, поки ЕУ знаходиться під напругою. Згідно ПУЕ-2006, вони діляться на 2 групи:

- засоби захисту від прямого контакту з нормальним функціонуванням ЕУ;

- захисні засоби при непрямому контакті в разі одиничного пошкодження.

2) Використання захисного обладнання, включаючи електричний захист; Засоби захисту (ЗЗ) призначені для запобігання або зменшення впливу на працівників небезпечних та/або шкідливих виробничих факторів. Електрозахисне обладнання – це інструмент, призначений для забезпечення електробезпеки (це інструменти і пристосування, що використовуються для безпечного виконання робіт ЕУ: ізоляційні стрижні, плоскогубці, індикатори напруги тощо), також діелектричний одяг та взуття (рукавички, черевики, дощовики тощо).

3) Дотримання захисних заходів при виконання робіт в ЕУ. Захисні заходи в ЕУ – це набір вимог до процедур проведення робіт з працівниками для забезпечення роботи ЕУ. Дослідження, пов'язані з заходами безпеки в ЕУ, поділяються на три категорії:

- зі зниженням напруги – на ЕУ або його частині, напруга знімається з струмоведучої частини, а доступ до ЕУ або його частини під напругою виключається;

- без розрядки напруги на струмоведучих деталях і поруч з ними – розрядка напруги на струмоведучих деталях відсутня або виконується безпосередньо на меншій відстані від цих деталей, ніж це дозволено;

- без скидання напруги з струмоведучих частин, що знаходяться під напругою;

- тим часом робітники та інструменти не можуть випадково наблизитися до живої частини на відстань, меншу за припустиму. Зазвичай це роботи без скидання напруги на струмоведучих деталях і поблизу них, які є найбільш небезпечними і вимагають застосування серйозних заходів безпеки. [16]

3.4 Організаційно-технічні заходи пожежної безпеки

Пожежна безпека гарантується протипожежними системами, протипожежним захистом, організаційно-технічними заходами (рис. 3.1).

Для розробки комплексу спеціальних технічних і організаційних рішень і заходів, здатних забезпечити необхідний ступінь безпеки, необхідно заздалегідь визначити ступінь пожежонебезпеки приміщень.

Нормативно-правова база ПБ є нормативно-методичною базою для аналізу стану пожежної небезпеки і створення системи забезпечення безпеки об'єктів.

Показники вибухонебезпечності та пожежонебезпеки аналізуються шляхом обертання та зберігання використовуваних матеріалів та матеріалів на об'єкті, а вибухонебезпечність та пожежонебезпека об'єкта оцінюються з урахуванням фактичного обсягу та виробничих характеристик. Наприклад,

виникнення пожежі і його наслідки, тобто, що і як може статися і до чого це може привести.



Рисунок 3.1 – Блок-схема забезпечення пожежної безпеки об'єкта

Таким чином, методи аналізу вибухонебезпечності та пожежонебезпеки зводяться до виявлення та оцінки умов утворення горючого середовища, потенційних і реальних джерел загоряння, умов контакту горючого середовища, умов поширення вогню в разі пожежі та причин виникнення загоряння, пожежа, масштаби можливої пожежі, наявність загрози життю людини, навколишньому середовищу і матеріальним цінностям. [17]

На рисунку 3.2 показано план евакуації при пожежі учасників освітнього процесу Інженерного навчально-наукового інституту ім. Ю.М. Потебні Запорізького національного університету, лабораторного корпусу 2-й поверх, де знаходиться спеціалізована навчально-наукова лабораторія «Фізичної та біомедичної електроніки».

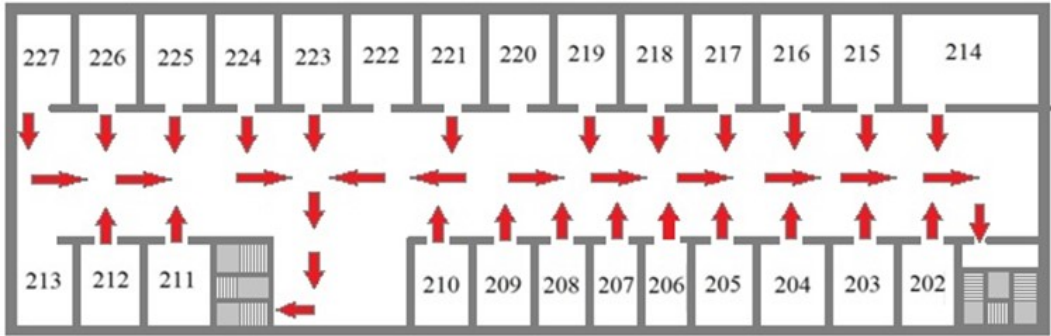


Рисунок 3.2– План евакуації при пожежі

ВИСНОВКИ ТА РЕКОМЕНДАЦІЇ

1. Розроблена схема може виконувати функції арифметичного додавання та віднімання, порівнювати сигнали та перетворювати їх для візуального відображення інформації.

2. Синтез схеми суматора-віднімача з прискореним переносом дозволяє збільшити швидкодію завдяки використанню паралельного з'єднання, результат множення одного суматора переноситься на вхід іншого, завдяки цьому пришвидшується перехід молодшого розряду до старшого в 2 рази.

3. Моделювання перетворювача додаткового коду на прямий в EWB підтверджує ефективність процесу конвертації чисел, представлених у додатковому коді для подальшої обробки та відображення інформації. Розроблена схема в порівнянні з існуючими побудована на трьох мікросхемах замість чотирьох, що збільшує ефективність на 30 %.

4. Використання мікросхеми компаратора 74LS85 забезпечує ввімкнення перетворювача в потрібний момент. Чотири розрядний компаратор порівнює два двійкові числа і визначає, яке з них більше, менше або рівне. Схема дозволяє нарощувати розрядність чисел шляхом каскадного або паралельного з'єднання компараторів.

5. Моделювання схеми дешифратора в EWB, що перетворює двійковий сигнал на десятковий для передачі інформації на семисегментні індикатори, підтверджує ефективний спосіб перетворення двійкового коду в його десятковий еквівалент. Цей метод забезпечує точне і зрозуміле відображення числової інформації, що є важливим для різноманітних цифрових систем та пристроїв.

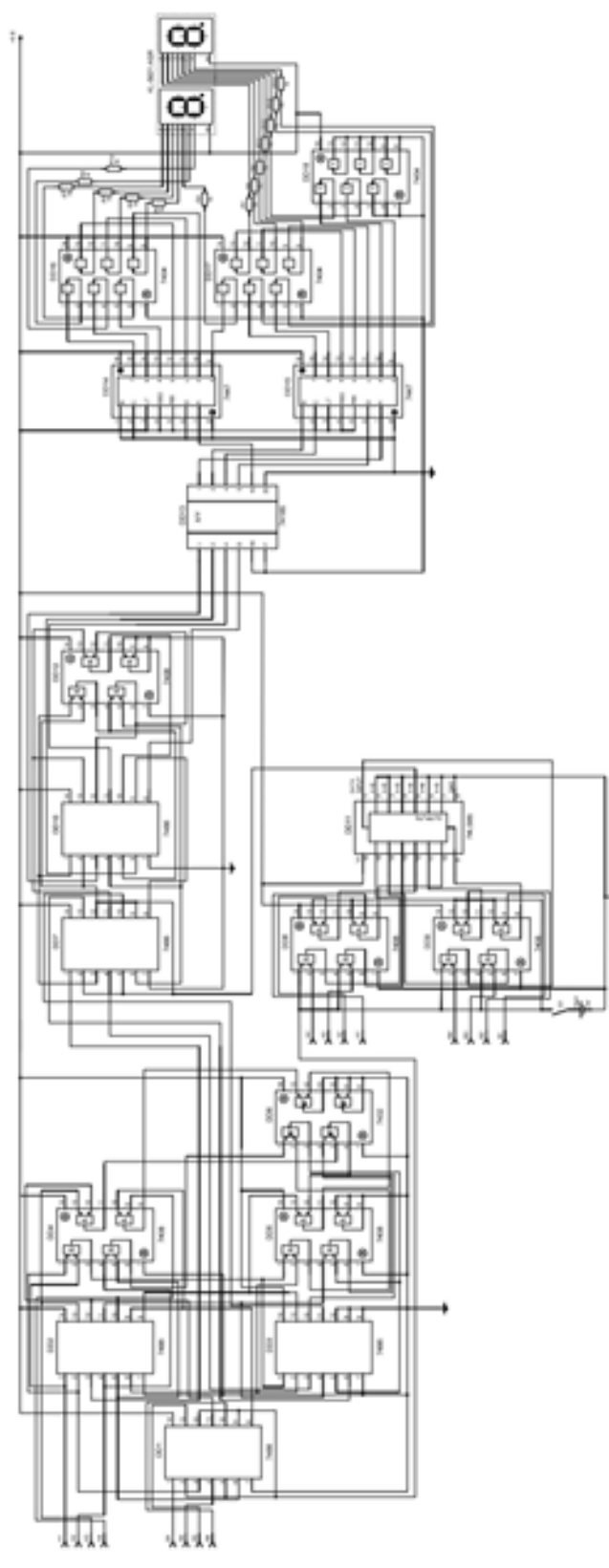
6. Універсальність схеми робить її цінним інструментом в багатьох сферах, де подібні перетворення є необхідними, таких як телекомунікації, радіозв'язок, медичні системи та обробка даних.

ПЕРЕЛІК ВИКОРИСТАНОЇ ЛІТЕРАТУРИ

1. Цифрова схемотехніка. Підручник для студентів технічних вузів і коледжів / Укл.: Л.Л. Верьовкін, М.В. Світанько, Є.М. Кісельов, С.Л. Хрипко. Запоріжжя. Видавництво ЗДА. 2016. 214 с.
2. Мікропроцесори та цифрова електроніка: навч. посіб. для студ. спеціальності 141 "Електроенергетика, електротехніка та електромеханіка" / К. К. Побєдаш, В. А. Святненко. Київ: КПІ ім. Ігоря Сікорського, 2021. 120 с.
3. Цифрова схемотехніка. Ч. 3. Електронно-обчислювальні пристрої: навчальний посібник / Укл.: Й. Й. Білинський, Б. П. Книш. Вінниця : ВНТУ, 2021. 67 с.
4. Лахно В.А., Гусєв Б.С., Смолій В.В., Місюра М.Д., Касаткін Д.Ю. Технології проектування комп'ютерних систем (частина 1). К.: НУБіП України, 2019. 205 с.
5. Комп'ютерна схемотехніка : підручник / [Азаров О. Д., Гарнага В. А., Клятченко Я. М., Тарасенко В. П.]. Вінниця : ВНТУ, 2018. 230 с.
6. Основи прикладної теорії цифрових автоматів : підручник / І. А. Дичка, В. П. Тарасенко, М. В. Онай. Київ : КПІ ім. Ігоря Сікорського, Вид-во "Політехніка", 2019. 508 с.
7. Гурін М.Р. Методика проектування комбінаційних логічних схем. Інженерні інновації та розбудова національної економіки: тези доп. міжнар. наук.-практ. конф., м. Запоріжжя, 9-10 трав. 2024 р. Запоріжжя 2024.
8. Цифрова та імпульсна схемотехніка. Моделювання та аналіз. Електронний навчальний посібник / В.В. Макаренко, В.М. Співак. К.: НТУУ "КПІ", 2015. 314 с.
9. Цифрова схемотехніка. Частина 2. Електронні пристрої і системи: навчальний посібник / Й. Й. Білинський, П. М. Ратушний, А. О. Мельничук. – Вінниця : ВНТУ, 2017. 171 с.

10. Конспект лекцій з дисципліни "Цифрова схемотехніка" для здобувачів вищої освіти першого (бакалаврського) рівня зі спеціальностей 171 «Електроніка» та 153 «Мікро-та наносистемна техніка»; / Багрій В.В. Кам'янське; ДДТУ, 2019. 238 с.
11. Цифрова схемотехніка : підручник / О. А. Борисенко. Суми : Сумський державний університет, 2016. 200 с.
12. Комп'ютерна схемотехніка [Текст]: Конспект лекцій / уклад. Л.А.Матвійчук. Чернігів: ЧІБІП, 2017. 156 с.
13. Методичні вказівки до самостійної та індивідуальної роботи студентів з дисципліни «Основи охорони праці та безпека життєдіяльності. Частина 2. Безпека життєдіяльності» / Уклад. О. В. Березюк, М. С. Лемешев. Вінниця : ВНТУ, 2019. 64 с.
14. Запорожець О. І., Протоєрейський О. С., Франчук Г. М., Боровик І. М. Основи охорони праці. Підручник. К.: Центр учбової літератури, 2009. 264 с.
15. Ю. О. Полукаров, Н .А. Праховнік, О.В. Землянська. Охорона праці та цивільний захист: навч. посіб. Київ : КПІ ім. Ігоря Сікорського, 2023.
16. Арламов О.Ю. Охорона праці та цивільний захист: конспект лекцій. Київ : КПІ ім. Ігоря Сікорського, 2018. 154 с.
17. Основи охорони праці: навчально-методичний посібник для студентів ЗДА всіх спеціальностей денної та заочної форм навчання / Белоконь К. В., Рижков В. Г., Куріс Ю. В. та ін.; Запоріз. держ. інж. акад. – Запоріжжя: ЗДА, 2015. 180 с.

ДОДАТОК А

ІННІ ЗНУ 6.1530 ДП		ІННІ ЗНУ 6.1530 ДП		Літера	Маса	Масштаб
				Схема електрична принципова		Арк. 1
Змін	Арк.			№ докум.	Підпис	Дата
	Розроб.	Гурін М.Р.				
	Керівник	Ніконов А.О.				
	Консульт.					
	Н. контр.	Верьовин П.Л.				
	Затвердив	Крицька Т.В.				
				6.1530		

ДОДАТОК Б

Познач.	Найменування		Кільк.	Примітки
	<i>Мікросхеми</i>			
DD1-DD3				
DD7,DD10	7486		5	
DD4,DD5				
DD8,DD9				
DD12	7408		5	
DD6	7432		1	
DD16-DD18	7404		3	
	<i>Компаратори</i>			
DD11	74LS85		1	
	<i>Перетворювачі</i>			
DD13	74185		1	
	<i>Дешифратори</i>			
DD14,DD15	7447		2	
	<i>Індикатори</i>			
	KL-5621-ASR		1	
	<i>Резистори</i>			
R1-R14	0805-1к Ом		14	
				ІННІ ЗНУ 6.1530 ДП
Змін	Арк.	№ докум.	Підпис	Дата
Розроб.		Гурін М.Р.		
Керівник		Ніконова А.О.		
Консульт.				
Н. контр.		Верьовкін Л.Л.		
Затвердив		Критська Т.В.		
				Перелік елементів до схеми електричної принципової
				Літера Маса Масштаб
				Арк. 1 Аркуші 1
				6.1530

Міністерство освіти і науки України
Запорізький національний університет
Інженерний навчально-науковий інститут ім. Ю.М. Потєбні ЗНУ

МАТЕРІАЛИ

Міжнародної науково-практичної конференції
Інженерного навчально-наукового інституту ім. Ю.М. Потєбні
Запорізького національного університету
«Сучасні виклики та напрями вдосконалення в
економічній та технічній наукових сферах»

5 – 6 грудня 2023 р.

Запоріжжя
2023

ЗМІСТ

Секція 1. Сучасний розвиток економіки, організації та управління підприємствами

Метеленко Н. Г., Сліва І.В., Сліва А.І. СТАН ТА ПОВСННЕ ВІДНОВЛЕННЯ МЕТАЛУРГІЙНОЇ ГАЛУЗІ УКРАЇНИ: ПРОБЛЕМИ, ПРИОРИТЕТИ, ЗАВДАННЯ	19
Метеленко Н. Г., Сліва І.В., Попова А.О. СУЧАСНИЙ РИНОК ЕЛЕКТРИЧНОЇ ЕНЕРГІЇ В УКРАЇНІ: ПРОБЛЕМИ ТА ПЕРСПЕКТИВИ РОЗВИТКУ	22
Оглобіна В.О., Ситий В.Л., Лисенко А.П. УПРАВЛІННЯ ВИРОБНИЧИМ ПОТЕНЦІАЛОМ ПРОМИСЛОВОГО ПІДПРИЄМСТВА В УМОВАХ ПОЛІТИКИ ВІДНОВЛЕННЯ	25
Оглобіна В.О., Коляхін А.В., Шарамок Я.Г. СУЧАСНІ ПІДХОДИ ДО УПРАВЛІННЯ БЮДЖЕТНИМИ РЕСУРСАМИ ДЕРЖАВИ	27
Іаківський П.Г. РЕЛОКОВАНИЙ БІЗНЕС В УКРАЇНІ: ЗДОБУТКИ ТА ВТРАЧЕНІ МОЖЛИВОСТІ	29
Замула І.В., Тапасіва М.М. РОЛЬ ГІЗНАЧЕННЯ В. ДИПІНСЬКОГО В РОЗВИТКУ КОНЦЕПЦІЇ СТАЛОГО РОЗВИТКУ	31
Куряча Н.В. ВИКОРИСТАННЯ ІННОВАЦІЙНИХ ПІДХОДІВ У ПІДПРИЄМНИЦТВІ	36
Мартиненко О.В., Дрига Н.В. СУЧАСНИЙ СТАН РИНКУ ПРАЦІ ТА ШЛЯХИ ЙОГО ПОКРАЩЕННЯ	37
Піхник Т.А., Гриненко Д.А. ФОРМУВАННЯ ЗОВНІШНЬОГО ІМІДЖУ РОБОТОДАВЦЯ ЗАКЛАДУ ОХОРОНИ ЗДОРОВ'Я ЗА ДОПОМОГОЮ ЦИФРОВИХ КАНАЛІВ КОМУНІКАЦІЇ	40
Піхник Т.А., Чуру Т.В. СУЧАСНІ ПІДХОДИ ДО ОЦІНЮВАННЯ ЕФЕКТИВНОСТІ КОНТРОЛЮ В УПРАВЛІННІ ПЕРСОНАЛОМ ЗАКЛАДУ ОХОРОНИ ЗДОРОВ'Я	42
Захаркевич Н.П., Лось Д.В. СУЧАСНІ ТЕНДЕНЦІЇ ІННОВАЦІЙНОЇ ДІЯЛЬНОСТІ В УКРАЇНІ	44
Захаркевич Н.П., Мельник Я. ВПЛИВ ВІЙСЬКОВИХ ДІЙ НА ФУНКЦІОНУВАННЯ ВІТЧИЗНЯНОГО АНК	46
Захаркевич Н.П., Хомиш І.В. ЗАКОНОМІРНОСТІ РОЗМІЩЕННЯ ПРОДУКТИВНИХ СИЛ В УКРАЇНІ	48

тому що цей ступінь є найскладнішим в СБЖ, оскільки в ньому реалізовано генерацію синусоїдальної форми вихідної напруги. Реалізація цієї генерації неможлива без використання спеціальних мікроконтролерів для СБЖ.

УДК 621.38

Ніконова А.О., к.т.н., доцент кафедри електроніки, інформаційних систем та програмного забезпечення Інженерного навчально-наукового інституту

ім. Ю.М. Потебні ЗНУ, м. Запоріжжя

Гурін М.Р., студент 4 курсу спеціальності 153 «Мікро- та наносистемна техніка» Інженерного навчально-наукового інституту ім. Ю.М. Потебні ЗНУ, м. Запоріжжя

МЕТОДИ СТРУКТУРНОЇ ОПТИМІЗАЦІЇ БАГАТОРОЗРЯДНИХ КОМБІНАЦІЙНИХ СХЕМ ДЛЯ ПІДВИЩЕННЯ ШВИДКОСТІ

Схеми комбінаційних пристроїв складаються з багатьох елементів, що зменшує швидкодію та збільшує габаритні розміри та вартість. Важливим постав питання розробки схем з меншим показником складності, покращеними властивостями за рахунок збільшення швидкодії, зменшення кількості елементів, оптимізації системних характеристик.

Існує кілька способів оцінки складності схем. Часто використовують оцінку по Квайну (K), яка визначається як сумарне число входів усіх логічних елементів. Складність можна також оцінити в числі логічних елементів (M) чи в числі умовних корпусів мікросхем, що визначається по формулі:

$$N = \sum_{m=1}^M \frac{m \cdot n_m}{g}$$

де Γ – число типів мікросхем; m_i , n_i – кількість відповідно мікросхем i -го типу і виводів такої мікросхеми, g – число виводів умовного корпусу.

Оцінка N зручна при порівнянні складності пристроїв, побудованих на мікросхемах. Швидкодія комбінаційних схем залежить від часових параметрів логічних елементів t_{01} і t_{02} , що характеризують затримку сигналів (час переходу вихідного сигналу від одного логічного рівня до іншого). На практиці використовують звичайно усереднене значення часу затримки $t = (t_{01} + t_{02})/2$ чи максимальне – $t^* = \max(t_{01}, t_{02})$ [1]

Підвищення швидкодії багаторозрядних двійкових суматорів, які є компонентами структури багаторозрядного суматора можливо за рахунок прискорення розповсюдження переносу.

Реалізація логічного елемента «Виключаючі АБО», які містять 4 або 5 вентилів та характеризуються затримкою сигналів на 3 мікротакти призводять до значного зниження швидкодії та зростання апаратної складності однорозрядних двійкових суматорів. У разі застосування парафазних входів структура логічного елемента «Виключаюче АБО» спрощується, а також спрощується його реалізація на основі логічного елемента «Виключаюче І»

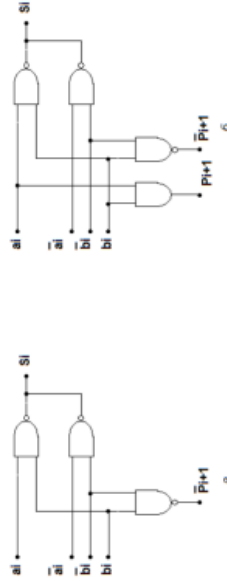


Рис. 1 – Структури однорозрядних неповних суматорів

На рис. 1 представлено схеми комбінаційного суматора: а – із парафазними входами, прямим виходом суми та інверсним виходом переносу; б – із прямим виходом суми та прямим й інверсним виходами переносу.

Реалізація «Виключаюче І» схем неповних суматорів із прямими та інверсними виходами переносу здійснено об'єднанням інверсного виходу логічного елемента І-НІ з прямим виходом логічного елемента (рис.2).



Рис. 2 – Спрощені структури однорозрядних неповних суматорів на логічних елементах «Виключаюче І»

Порівнюючи структурні схеми можна сказати, що застосування логічного елемента «Виключаюче І» дало змогу зменшити структурну складність порівняно у 2–7 разів.[2]

Методи оптимізації логічних функцій спрямовані на зміну структури схеми, не змінюючи логічної функції, яку вона виконує та на спрощення логічних