

Міністерство освіти і науки України
Інженерний навчально-науковий інститут
Запорізького національного університету

Верьовкін Л.Л.

ФУНКЦІОНАЛЬНІ ВУЗЛИ МІКРОПРОЦЕСОРНИХ СИСТЕМ

Методичні рекомендації до лабораторних занять
для здобувачів вищої освіти першого бакалаврського рівня
за спеціальністю 153 «Мікро- та наносистемна техніка» освітньо-професійної
програми «Мікро- та наносистемна техніка»

Міністерство освіти і науки України
Інженерний навчально-науковий інститут
Запорізького національного університету

Верьовкін Л.Л.

ФУНКЦІОНАЛЬНІ ВУЗЛИ МІКРОПРОЦЕСОРНИХ СИСТЕМ

Методичні рекомендації до лабораторних занять
для здобувачів вищої освіти першого бакалаврського рівня
за спеціальністю 153 «Мікро- та наносистемна техніка» освітньо-професійної
програми «Мікро- та наносистемна техніка»

Затверджено
Вченою
радою ЗНУ
Протокол № 11
від 23.06.2021

Запоріжжя
2021

УДК 621.38

В

Верьовкін Л.Л. Функціональні вузли мікропроцесорних систем. Методичні рекомендації до лабораторних занять для здобувачів вищої освіти першого бакалаврського рівня за спеціальністю 153 «Мікро- та наносистемна техніка» освітньо-професійної програми «Мікро- та наносистемна техніка». Запоріжжя : ЗНУ, 2021. 82 с.

Методичні рекомендації до лабораторних занять з дисципліни «Функціональні вузли мікропроцесорних систем» розроблено для студентів денної та заочної форм навчання інженерно-технічних спеціальностей та освітньо-професійних програм Інженерного навчально-наукового інституту. Запропоновані приклади розв'язання завдань по фізичним основам роботи, конструкції, технології виготовлення та основним параметрам оптоелектронних приладів та цифрових логічних систем.

Рецензент

Коваленко В.Л., доктор технічних наук, професор кафедри електротехніки та енергоефективності

Відповідальний за випуск

Т.В. Критська, доктор технічних наук, професор, завідувач кафедри мікроелектронних та електронних інформаційних систем.

Зміст

	Стор.
Вступ	4
Лабораторна робота №1 Дослідження дешифраторів мікропроцесорних пристроїв	7
Лабораторна робота №2 Дослідження мультиплексорів мікропроцесорних пристроїв	16
Лабораторна робота №3 Дослідження схем пріоритетних шифраторів.....	24
Лабораторна робота №4 Дослідження схем мажоритарних елементів.....	33
Лабораторна робота №5 Дослідження схем контролю парності (непарності)	38
Лабораторна робота №6 Дослідження пристроїв введення цифрової інформації	41
Лабораторна робота №7 Дослідження схем порівняння багаторозрядних чисел	50
Лабораторна робота №8 Дослідження постійних запам'ятовуючих пристроїв	55
Лабораторна робота №9 Дослідження схем перетворювачів цифрових кодів	76

Вступ

Метою викладання навчальної дисципліни «Функціональні вузли мікропроцесорних систем» є формування повної уяви про принципи функціонування та розрахунки складових вузлів мікроконтролерів, будовання мікропроцесорних систем та їх використання в електронних приладах.

Основними **завданнями** вивчення дисципліни «Функціональні вузли мікропроцесорних систем» є: знання складових частин мікропроцесорних систем; уміння практично використовувати сучасні програмні засоби для аналізу функціонування вузлів мікропроцесорних систем.

Згідно з вимогами освітньо-професійної програми студенти повинні досягти таких **компетентностей**:

- здатність розв'язувати складні спеціалізовані задачі та практичні проблеми, що характеризуються комплексністю та невизначеністю умов, під час професійної діяльності у галузі мікро- та наносистемної техніки, або у процесі навчання, що передбачає застосування теорій та методів автоматизації та електроніки;

- здатність застосовувати знання у практичних ситуаціях;

- знання та розуміння предметної області та розуміння професійної діяльності;

- навички використання інформаційних і комунікаційних технологій;

- здатність до пошуку, оброблення та аналізу інформації з різних джерел;

- здатність оцінювати та забезпечувати якість виконуваних робіт;

- здатність використовувати знання і розуміння наукових фактів, концепцій, теорій, принципів і методів для проектування та застосування мікро- та наносистемної техніки.

- здатність виконувати аналіз предметної області та нормативної документації, необхідної для проектування та застосування приладів та пристроїв мікро- та наносистемної техніки.

- здатність використовувати математичні принципи і методи для проектування та застосування мікро- та наносистемної техніки.

- здатність застосовувати відповідні наукові та інженерні методи, сучасні інформаційні технології і комп'ютерне програмне забезпечення, комп'ютерні мережі, бази даних та Інтернет-ресурси для розв'язання професійних задач в галузі мікро- та наносистемної техніки.

- здатність застосовувати знання з моделювання функціональних вузлів мікроелектроніки та конструювання приладів на їх основі.

Виконання кожної лабораторної роботи складається з двох етапів.

1. Підготовка до лабораторної роботи, вивчення теоретичного матеріалу, виконання усіх розрахунків, складання плану досліджень.

2. Складання з розрахованих і підібраних елементів робочої схеми і дослідження її відповідності зі складеним планом, оформлення теоретичних і практичних результатів і їхній аналіз, оформлення звіту з лабораторної роботи.

У процесі підготовки до лабораторної роботи студент повинен чітко усвідомити собі кінцеву мету лабораторного дослідження, форму і характер зміни вхідних і вихідних параметрів досліджуваної схеми і виконати необхідні розрахунки.

Звіт, підготовлений до лабораторної роботи, повинний містити назву і мету роботи, розрахунки, досліджувані схеми і часові діаграми, що пояснюють їхню роботу, план досліджень.

Часові діаграми виконуються на масштабнo-координатному креслярському паперу, розміченому на клітки (міліметровці), обов'язково складаються таким чином, щоб вони знаходились синхронізовано одна під іншою і були ілюстрацією фізичних процесів, що протікають у схемі.

Оформлення протоколів виконується відповідно до вимог ЕСКД до текстових документів.

Порядок, виконання досліджень у лабораторії:

1. Студент допускається до виконання чергової лабораторної роботи при наявності підготовленого, відповідно до приведених вище вимог звіту.

2. Звіт попередньої роботи підписується викладачем по його пред'явленню на наступному лабораторному занятті після занесення в нього всіх матеріалів досліджень і їхнього аналізу.

3. Звіти усіх робіт зберігаються у студента до виконання останньої роботи у загальному журналі з відповідною кількістю сторінок.

4. Після дозволу виконувати дослідження студент збирає схему і самостійно настраює її. У випадку, якщо схема не працює або працює неправильно, він має знайти причину несправності й усунути її.

5. Настроївши схему і перевіривши відповідність її вихідних сигналів розрахунковим даним, студент запрошує викладача для огляду і перевірки.

6. Після цього виконуються намічені дослідження, по закінченню яких результати пред'являються викладачеві і за його дозволом схема розбирається і робоче місце прибирається.

7. До наступної лабораторної роботи остаточно оформлюється звіт і пред'являється викладачеві.

Перед виконанням кожної лабораторної роботи викладач, опитує студентів як по змісту самої роботи, так і за методикою її виконання. Непідготовлені студенти не допускаються до виконання лабораторної роботи, а вивчають в лабораторії не засвоєний ними матеріал по літературі, що рекомендується.

Лабораторна робота № 1

Дослідження дешифраторів мікропроцесорних пристроїв

Мета роботи: ознайомитися з принципом роботи дешифраторів, дослідити вплив сигналів, що управляють, на роботу дешифраторів, реалізувати і дослідити функціональні модулі на основі дешифраторів.

1. Комбінаційні схеми дешифраторів та демультимплексорів

Комбінаційною схемою називається логічна схема, що реалізовує однозначну відповідність між значеннями вихідних і вхідних сигналів. Для побудови комбінаційних схем використовуються логічні елементи, що випускаються у вигляді інтегральних схем. У цей клас входять інтегральні схеми шифраторів, дешифраторів, мультиплексорів, демультимплексорів, суматорів.

1.1 Дешифратори

Дешифратор – логічна комбінаційна схема, яка має n інформаційних входів і 2^n виходів. Кожній комбінації логічних сигналів на входах відповідає активний рівень на одному з виходів. Зазвичай n дорівнює 2, 3 або 4.

Розглянемо ДШ з $n=2$ і $m=4$, званий також дешифратором "2 × 4" і доповнимо його входом дозволу виходів OE. Активним рівнем сигналу на прямих входах/виходах буде 1, а на інверсних - 0. За цим визначенням заповнимо таблицю істинності (табл.1.1), де величина x може набувати будь-яких значень.

Таблиця 1.1 – Таблиця істинності дешифратора «2 в 4»

DEC число	Входи				Виходи								ЛФ
	A	B	OE	\overline{OE}	F0	F1	F2	F3	$\overline{F0}$	$\overline{F1}$	$\overline{F2}$	$\overline{F3}$	
0	0	0			1	0	0	0	0	1	1	1	$F0 = OE \cdot \overline{A} \cdot \overline{B}$
1	0	1	1	0	0	1	0	0	1	0	1	1	$F1 = OE \cdot \overline{A} \cdot B$
2	1	0			0	0	1	0	1	1	0	1	$F2 = OE \cdot A \cdot \overline{B}$
3	1	1			0	0	0	1	1	1	1	0	$F3 = OE \cdot A \cdot B$
x	x	x	0	1	0	0	0	0	1	1	1	1	$F_i=0 \quad \overline{F}_i=1$

Таблиця Карно для виходу F0 і 3-х вхідних змінних матиме вигляд:

		F0			
		A			
		0	0	0	0
OE		1	0	0	0
		B			

Карта Карно містить лише одну таку клітку, тому логічна функція виходу F0 матиме вигляд:

$$F0 = OE \cdot \bar{A} \cdot \bar{B}$$

Аналогічно отримано останні вісім рівнянь. Перетворимо отримані для Fi рівняння за допомогою аксіоми подвійного заперечення до базису І-НІ:

$$F0 = \overline{\overline{OE \cdot \bar{A} \cdot \bar{B}}}$$

Рішенню відповідає схема виконана в програмному забезпеченні EWB (рис.1.1).

На входи A, B і C можна подати вісім різних комбінацій сигналів. Схема має 8 інверсних виходів, на одному з яких формується низький потенціал, на останніх – високий. Номер цього єдиного виходу, на якому формується активний рівень, виражається комбінацією сигналів на входах в двійковому коді. Наприклад, якщо на входи подана комбінація 010, то з восьми виходів мікросхеми на виході з номером N = 2 встановиться нульовий рівень сигналу.

Окрім інформаційних входів A, B, C дешифратори зазвичай мають додаткові входи управління G. Сигнали на цих входах управляють функціонуванням дешифратора або переводять його в пасивний стан, при якому, незалежно від сигналів на інформаційних входах, на всіх виходах встановиться рівень логічної одиниці. Можна сказати, що існує деяка функція дозволу, значення якої визначається станами входів, що управляють.

Управляючий вхід може бути прямим або інверсним. У дешифраторів з прямим управляючим входом активним рівнем є рівень логічної одиниці, в дешифраторів з інверсним входом – рівень логічного нуля. На рис. 1.1 представлений дешифратор з одним інверсним входом управління.

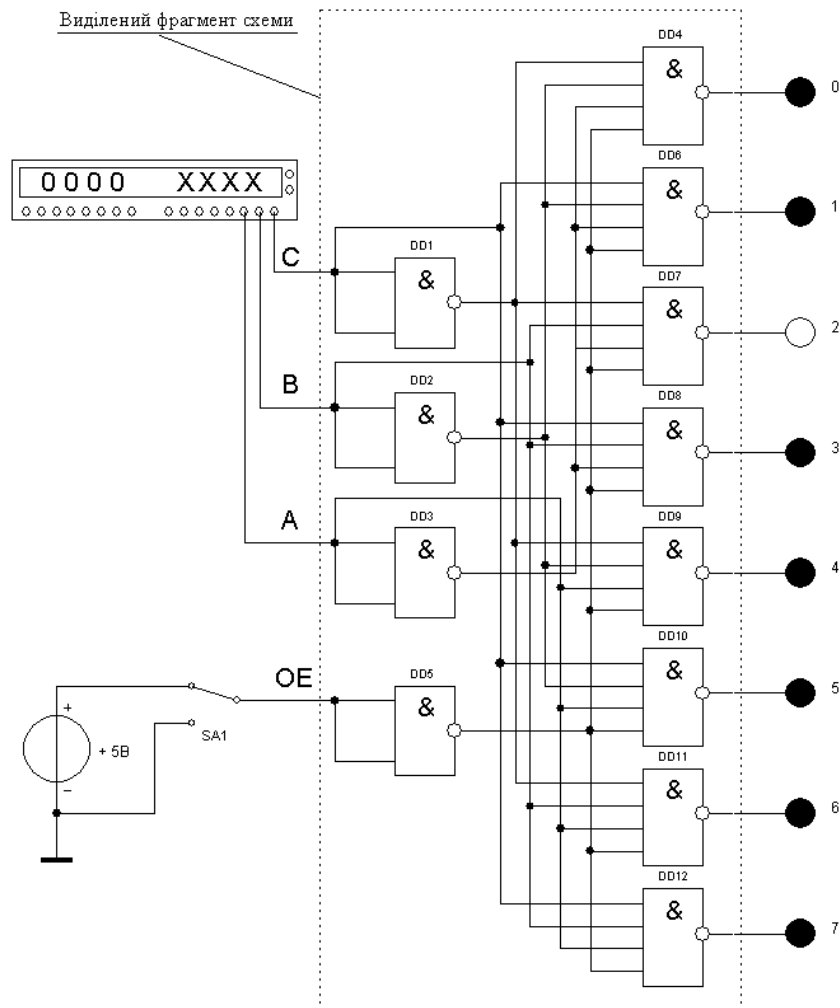


Рисунок 1.1 – Розрахована початкова схема дешифратора 3×8 з інверсним виходом


У дешифраторів з декількома входами управління функція дозволу, як правило, є логічне множення всіх вирішуючих сигналів управління. Зазвичай входи управління використовують для каскадування (збільшення розрядності) дешифраторів або при паралельній роботі декількох схем на загальні вихідні лінії.

1.2 Використання дешифратора в якості демультимплексора

Дешифратор може бути використаний і як демультимплексор – логічний комутатор, що підключає вхідний сигнал до одного з виходів. В цьому випадку функцію інформаційного входу виконує один з входів дозволу, а стан

входів А, В і С задає номер виходу, на який передається сигнал з входу дозволу.

2. Завдання до виконання лабораторної роботи

Для подальшої роботи необхідно виділити фрагмент схеми як показано на рис.1.1. На панелі інструментів натиснути кнопку (1) Create Subcircuit.  (рис. 1.2). В області екрану з'явиться віконце в яке записується назва пристрою DC. Далі виконується операція Copy from Circuit.

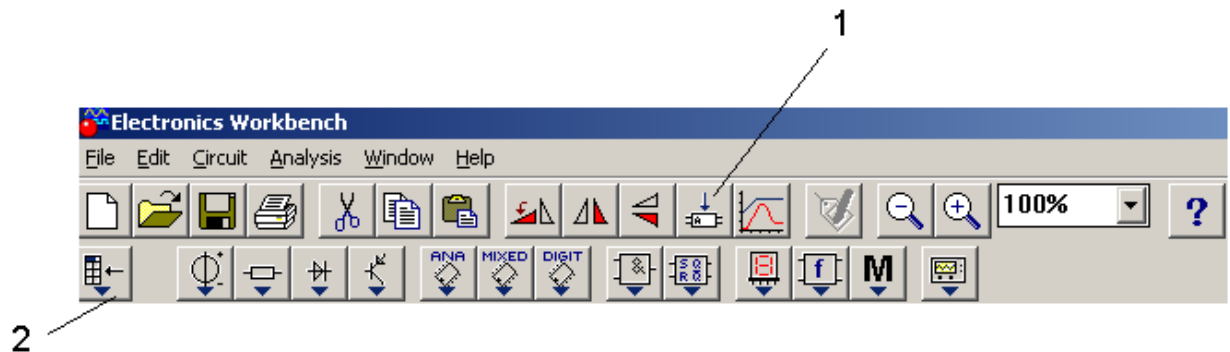
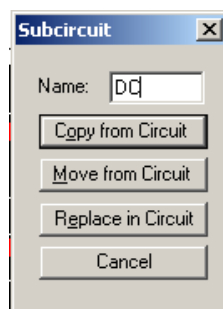


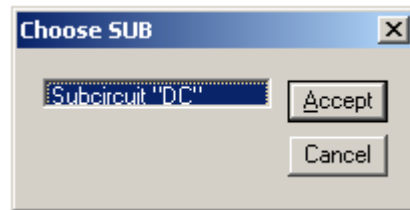
Рисунок 1.2 – Панель інструментів EWB

Тепер при натисненні кнопки (2) Favorites (рис. 1.2) з'явиться вікно:



Слід витягнути значок SUB на поле екрану.

Розвернути значок , що з'явився, і отримати наступне вікно:



Підтвердити вибір схеми командою Ассерпт и отримати схему, яка буде використовуватись при виконанні завдань лабораторної роботи.

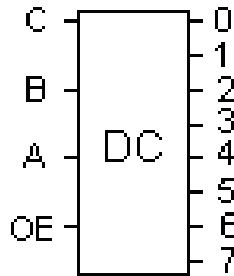


Рисунок 1.3 – Робоча схема для виконання лабораторної роботи

2.1 Дослідження принципу роботи дешифратора 3×8

Побудуйте схему представлену на рис. 1.4. Увімкніть схему. Подайте на вхід G логічну одиницю. Для цього встановите ключ G у верхнє положення. Подаючи всі можливі комбінації рівнів логічних сигналів на входи за допомогою однойменних ключів, визначите рівні вихідних сигналів і заповните таблицю істинності при $G = 1$. Подайте на вхід G логічний нуль. Переконаєтесь, що дешифратор перейшов в робочий режим і на одному з виходів встановився рівень логічного нуля. Подаючи всі можливі комбінації рівнів логічних сигналів на входи за допомогою однойменних ключів, визначите рівні вихідних сигналів і заповните таблицю істинності при $G = 0$.

2.2 Дослідження принципу роботи дешифратора 3×8 в режимі 2×4

а). У схемі рис.1.4 підключите вхід A до загального дроту (землі), задавши $A = 0$. Подаючи всі можливі комбінації рівнів логічних сигналів на входи B і C за допомогою однойменних ключів, визначите рівні вихідних сигналів і заповните таблицю істинності дешифратора.

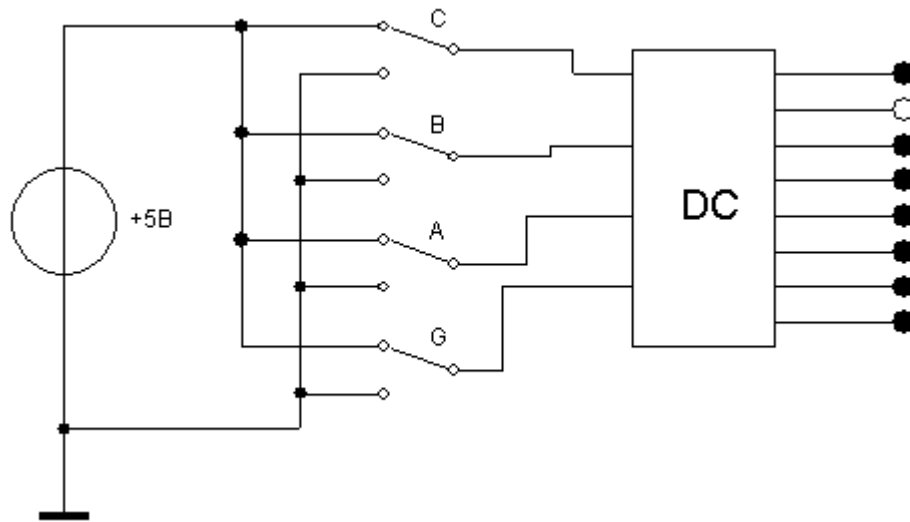


Рисунок 1.4 – Схема лабораторного стенду до завдань 2.1, 2.2

Вкажіть виходи, на яких рівень сигналу не міняється. Побудуйте діаграму функціонування.

б) Виконайте пункт а) при $A = 1$. Побудуйте діаграму функціонування.

в) Виконайте пункт а), заземливши вхід В ($B = 0$), а на входи А і С подаючи всі можливі комбінації логічних рівнів. Заповніть таблицю істинності. Вкажіть виходи, на яких рівень сигналу не міняється. Побудуйте діаграму функціонування.

2.3 Дослідження роботи дешифратора в якості демультимплексора

Побудуйте схему, представлену на рис.1.5. Увімкніть схему. Для дослідження застосовується генератор слів, який потрібно запрограмувати так, щоб отримувати послідовно комбінації від 0 до 7 (панель управління генератора відкривається подвійним клацанням миші на його символі). Переведіть генератор в режим покрокової роботи натисненням кнопки «Step». Кожне натиснення кнопки «Step» викликає перехід до чергового слова заданої послідовності, яке подається на вихід генератора. Послідовно подаючи на входи А, В і С слова із заданої послідовності, заповніть таблицю функціонування. Переконаєтеся, що сигнал, що змінюється, на вході G по черзі з'являється на виходах дешифратора. Побудуйте діаграму функціонування.

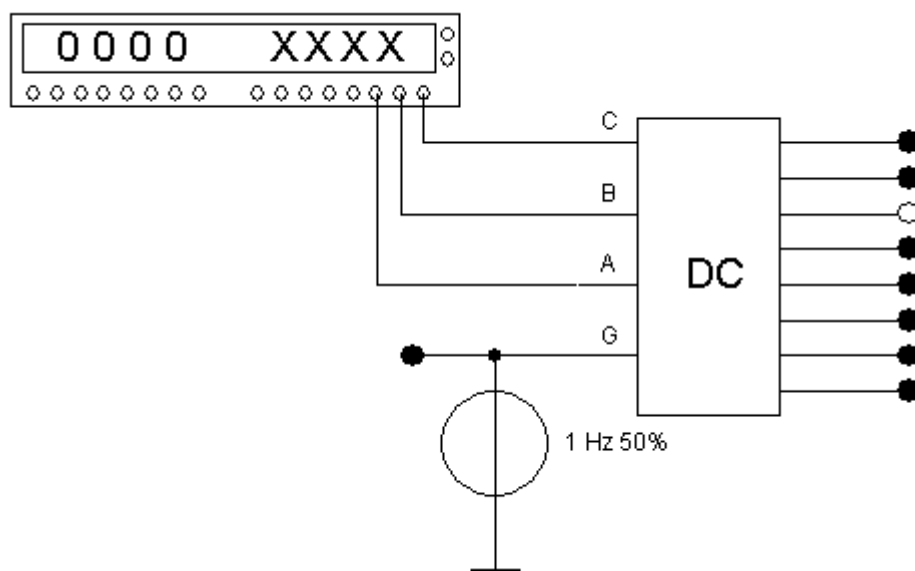


Рисунок 1.5 – Схема лабораторного стенду до завдання 2.3

2.4 Дослідження роботи дешифратора з логічною схемою на виході

Побудуйте схему, представлену на рис.1.6. Увімкніть схему. Встановить генератор слів в покроковий режим. Послідовно подаючи на входи А, В і С слова із заданої послідовності, заповніть таблицю істинності функції F, даною схемою, що реалізується. По таблиці запишіть аналітичне вираження функції. Побудуйте діаграму функціонування.

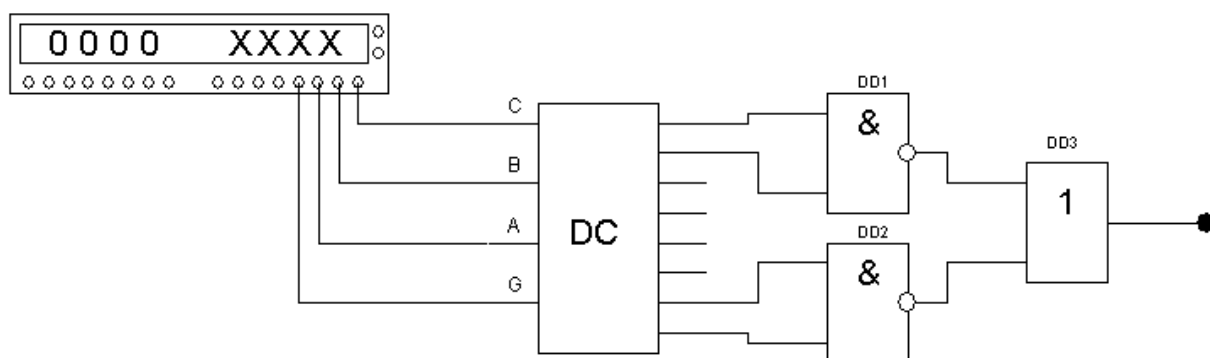


Рисунок 1.5 – Схема лабораторного стенду до завдання 2.4

2.5 Дослідження мікросхеми 74138

Побудуйте схему, представлену на рис.1.6. Увімкніть схему. Встановить генератор слів в покроковий режим.

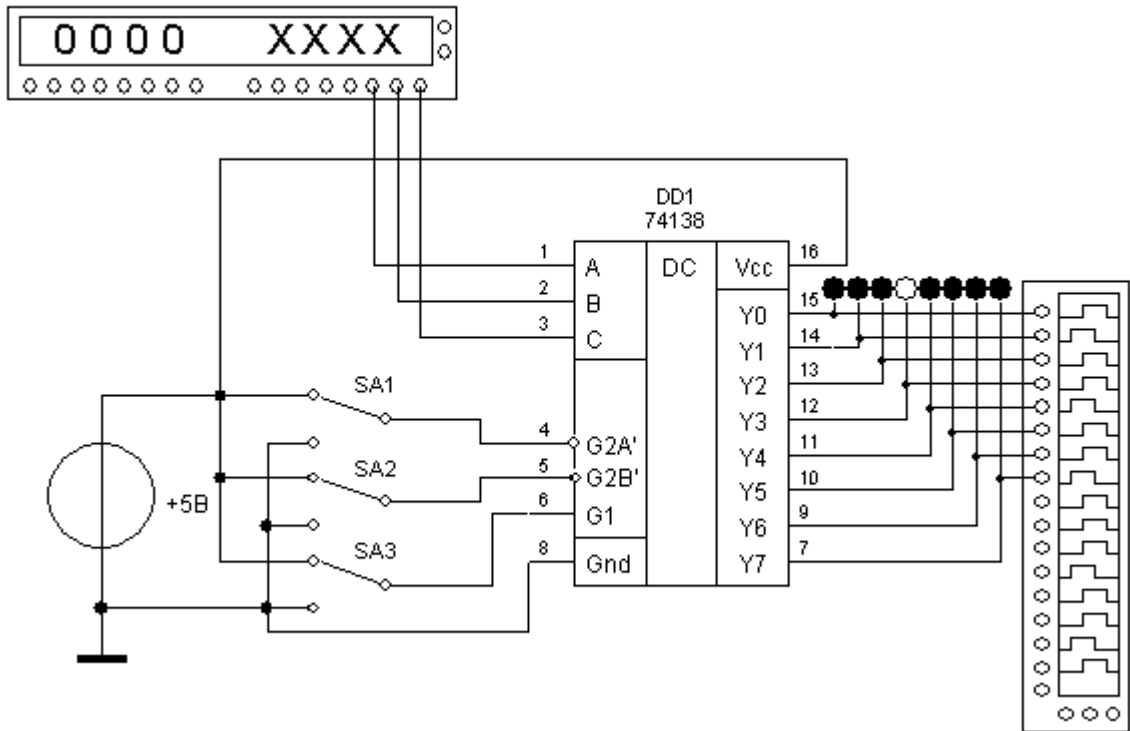


Рисунок 1.6 - Схема лабораторного стану до завдання 2.5

За допомогою відповідних ключів встановіть стан управляючих входів $G1 = 0$, $G2A = G2B = 1$. Послідовно подаючи на входи A, B і C слова із заданої послідовності, заповніть таблицю функціонування дешифратора 74138.

б) Повторіть операції пункту а) при $G1 = G2A = 1$, $G2B = 0$. Заповніть таблицю функціонування дешифратора 74138.

в) Повторіть операції пункту а) при $G1 = 1$, $G2A = G2B = 0$. Заповніть таблицю функціонування дешифратора 74138.

г) Встановіть генератор слів в покроковий режим. За допомогою відповідних ключів встановіть стан управляючих входів $G1 = 1$, $G2A = G2B = 0$. Подаючи слова від генератора слів, отримаєте тимчасові діаграми роботи дешифратора на екрані логічного аналізатора і замалюйте їх. Зіставте тимчасові діаграми з таблицею функціонування дешифратора (пункт в).

3. Зміст звіту

Мета роботи.

За кожним завданням мають бути представлені логічні функції, логічні схеми, таблиці істинності, тимчасові діаграми, послідовність перетворень схем і функцій, якщо вони вироблялися.

Висновок.

4. Контрольні питання

1. Принцип функціонування дешифраторів.
2. Типи дешифраторів.
3. Принцип функціонування демультимплексорів.
4. Рівняння функціонування дешифратора.
5. Рівняння функціонування демультимплексора.
6. Діаграма функціонування дешифратора.
7. Діаграма функціонування демультимплексора.

Література

1. Верьовкін Л.Л. Цифрова схемотехніка: Підручник [Текст] / Л.Л. Верьовкін, М.В. Світанько, Є.М. Кісельов, С.Л. Хрипко. – Запоріжжя: ЗДІА, 2016. – 214 с.
2. Цифровая схемотехника [Текст] / Е.П. Угрюмов. – СПб.: БХВ – Санкт-Петербург, 2000. – 528 с.
3. Основи схемотехніки електронних систем: Підручник [Текст] / [Бойко В.І., Гуржій А.М., Жуйков В.Я. та ін]. – К.: Вища шк., 2004. – 527 с.
4. Мікросхемотехніка: Підручник [Текст] / [Гельжинський І.І., Голяка Л.Р., Готра З.Ю., Марусенкова Т.А.]. – Львів: Ліга-Прес, 2015. – 492 с.

Лабораторна робота №2

Дослідження мультиплексорів мікропроцесорних пристроїв

Мета роботи: ознайомитися з принципом роботи мультиплексорів, дослідити вплив сигналів, що управляють, на роботу мультиплексорів, реалізувати і дослідити функціональні модулі на основі мультиплексорів.

1. Комбінаційні схеми мультиплексорів

Мультиплексор передає сигнал з одного з інформаційних входів x_i на єдиний вихід Q , причому номер цього входу дорівнює десятковому еквіваленту двійкового коду на адресних входах D_i . Якщо є вхід дозволу виходу OE , то "0" на цьому вході повинен перевести вихід в пасивний стан (табл. 2.1). Розглянемо мультиплексор "4 в 1", що має 4 інформаційних входів і $\log_4 = 2$ адресних входів.

Таблиця 2.1 – Таблиця істинності мультиплексора "4 в 1"

Десятичне число	Входи								Вихід Q	ЛФ
	A	B	OE	\overline{OE}	D0	D1	D2	D3		
0	0	0			X0	x	x	x	X0	$Q = X0 \cdot OE \cdot \overline{A} \cdot \overline{B}$
1	0	1	1	0	x	X1	x	x	X1	$Q = X1 \cdot OE \cdot A \cdot \overline{B}$
2	1	0			x	x	X2	x	X2	$Q = X2 \cdot OE \cdot \overline{A} \cdot B$
3	1	1			x	x	x	X3	X3	$Q = X3 \cdot OE \cdot A \cdot B$
x	x	x	0	1	x	x	x	x	0	$Q=0$

Величина X може набувати будь-яких значень. Кількість вхідних змінних дорівнює 7, і таблиця істинності повинна мати 128 рядків. У таблиці в 4-х основних рядках упаковано 64 початкові (з врахуванням значень $X0 \dots X3$) і в останньому рядку, останні 64 строчки. Аналіз 0 рядка, наводить до виводу, що $Q = X0$, якщо $A = 0$ і $B = 0$ і $OE = 1$, незалежно від змінних $X1 \dots X3$. Тому для цього вхідного набору можна записати: $Q = X0 \cdot OE \cdot \overline{A} \cdot \overline{B}$. Аналогічно записується Q для останніх трьох наборів змінних. Загальне рішення тоді матиме вигляд:

$$Q = OE(X0\overline{A}\overline{B} + X1\overline{A}B + X2A\overline{B} + X3AB)$$

Застосовуючи аксіоми подвійного заперечення і подвійності до правої частини рівняння отримаємо:

$$Q = \overline{\overline{OE} \cdot \overline{X0\overline{A}\overline{B}} \cdot \overline{X1\overline{A}B} \cdot \overline{X2A\overline{B}} \cdot \overline{X3AB}}$$

Вираженню відповідає схема, приведена на рис.2.1.

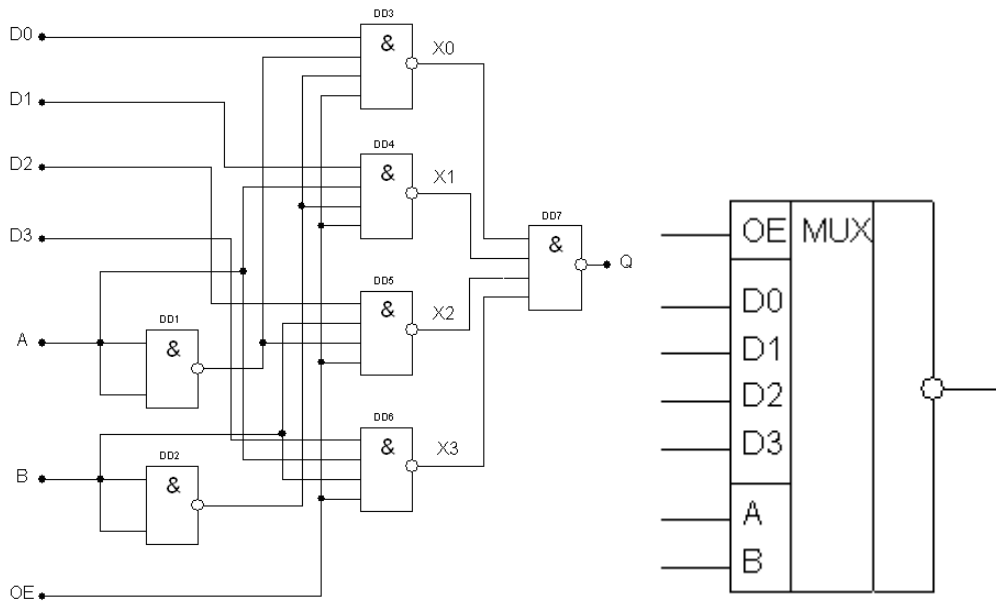


Рисунок 2.1 – Схема та УГП мультиплексора «4 в 1»

Діаграма функціонування мультиплексора представлена на рис. 2.2.

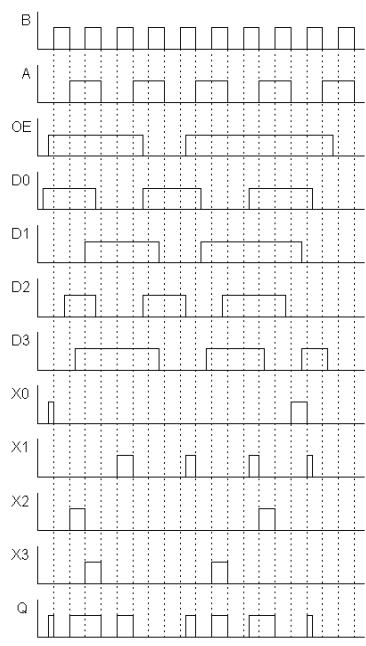


Рисунок 2.2 – Діаграма функціонування мультиплексора

Якщо на адресні входи подати комбінацію $AB = 11(\text{BIN}) = 3(\text{DEC})$, то до виходу Q буде підключений вхід D3, за умови, якщо $OE=1$.

Мультиплексор може мати інверсний вихід, а також третій стан цього виходу, який наголошується на схемі ромбом з поперечною рисою.

Мультиплексори знаходять широке вживання в обчислювальній техніці, наприклад багато виводів в мікропроцесорів "мультиплексовані", тобто до одного виходу підключається декілька внутрішніх джерел різних сигналів. Це можуть бути сигнали ліній шини даних і шини адреси, передавані послідовно в часі, що дозволяє скоротити загальне число виводів мікропроцесора. За допомогою мультиплексора з "n" адресними входами можна реалізувати будь-яку ЛФ з "n" змінними, подаючи на інформаційні входи мультиплексора значення D_i .

Мультиплексор знайшов широке вживання як перетворювач паралельного коду в послідовний, для передачі інформації по лініях зв'язку і для послідовного опиту (контролю) при великому числі каналів або пристроїв.

2. Завдання до виконання лабораторної роботи

Розрахувати схему мультиплексора «4 в 1» та побудувати її в програмному забезпеченні EWB. Для подальшої роботи необхідно отримати робочу схему (рис. 2.3) для виконання лабораторної роботи (див. ЛР №1 п.2)

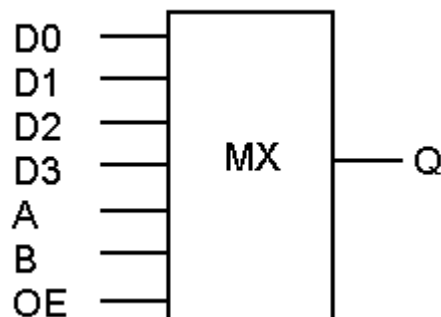


Рисунок 2.3 – Робоча схема для виконання лабораторної роботи

2.1 Дослідження принципу роботи мультиплексора «4 в 1»

Побудуйте схему представлену на рис. 2.4. Увімкніть схему. Подайте на вхід OE логічну одиницю. Для цього встановіть ключ OE у верхнє положення. До інформаційних входів D_i підключити генератори прямокутних імпульсів з різною частотою (інформацією). Подаючи всі можливі комбінації рівнів логічних сигналів на адресні входи A, B за допомогою однойменних ключів, визначте рівні вихідних сигналів і заповніть таблицю істинності при $OE = 1$. При дослідженні функціонування схеми за допомогою Logic Analyzer змінити інформацію на інформаційних входах D_i .

Подайте на вхід OE логічний нуль. Переконаєтеся, що мультиплексор перейшов в режим очікування дозволу проходження інформації. Заповніть таблицю істинності при $OE = 1, OE = 0$. Побудуйте діаграми функціонування.

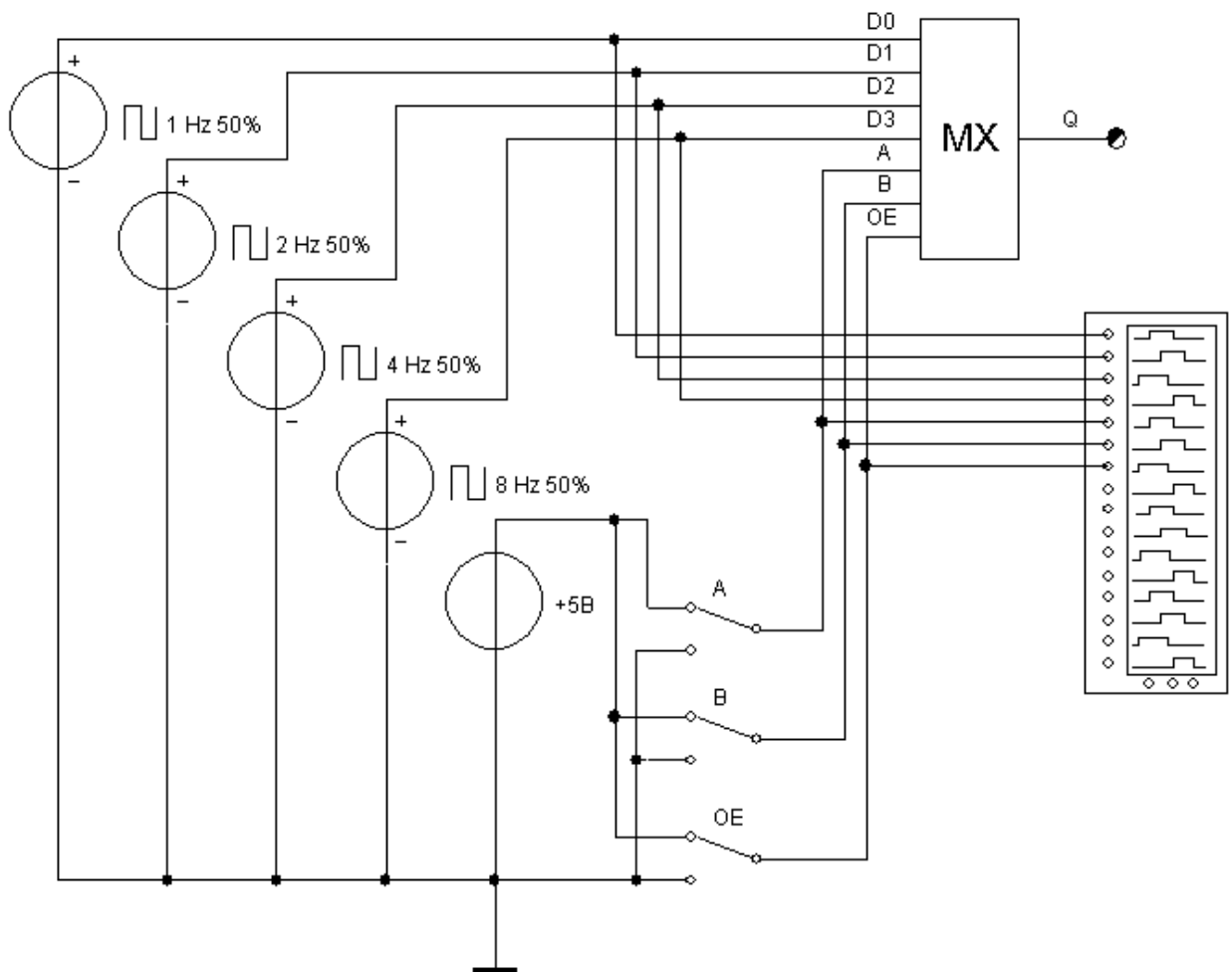


Рисунок 2.4 - Схема лабораторного стенду до завдання 2.1

2.2 Дослідження схеми мультиплексування інформації з генератора числових послідовностей

Послідовнісні пристрої - генератори чисел називають також розподільниками сигналів, оскільки послідовність двійкових чисел на їх виходах використовується для управління роботою інших цифрових вузлів. Число станів генератора називається довжиною послідовності чисел L_n , яка дорівнює кількості тактів, після якої послідовність чисел на виході генератора повторюється.

По своїй структурі генератори чисел близькі або до лічильників, або до регістрів.

Будь-який лічильник можна вважати генератором послідовності чисел, що має $L_n = K_{сч}$. Як правило, необхідне число розрядів генератора дорівнює числу двійкових розрядів m в числах, що генеруються. Якщо $m > \log_2 L_n$, то для зменшення числа використовуваних тригерів структура генераторів змінюється. В цьому випадку генератор доцільніше будувати у вигляді лічильника з модулем рахунку $K_c = L_n$ і підключеною до його виходів комбінаційною схемою, що синтезує необхідні значення двійкових чисел послідовності.

Розглянемо генератор чисел 2 – 3 – 4 – 12. Оскільки $L_n = 4$, то за основу генератора можна узяти дворозрядний лічильник з $K_{сч} = 4$, який генерує числа 0 – 1 – 2 – 3. Підключивши до виходів лічильника комбінаційну схему, що виконує перетворення коду відповідно до таблиці функціонування, отримаємо структуру генератора, утворюючого задану послідовність чисел (рис. 2.5).

Реалізація схеми на реальних мікросхемах в програмному застосуванні EWB представлена на рис. 2.6.

Тимчасова діаграма роботи генератора приведена на рис. 2.7.

Мультиплексор 74153 (рис. 2.8) відповідно до сталої адреси опитує виходи генератора і передає інформацію на один вихід, який в послідовному коді видає інформацію стану виходів генератора. Таким чином тактова частота генератора повинна бути $f/2$, де f – частота зміни адреси В мультиплексора ($f/2$ – частота зміни адреси А)

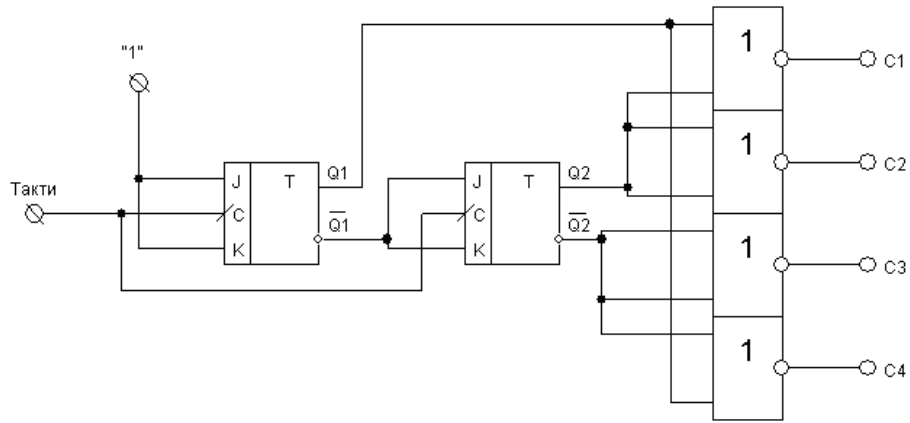


Рисунок 2.5 - Генератор числової послідовності 2 – 3 – 4 – 12 на основі лічильника з вихідною комбінаційною схемою

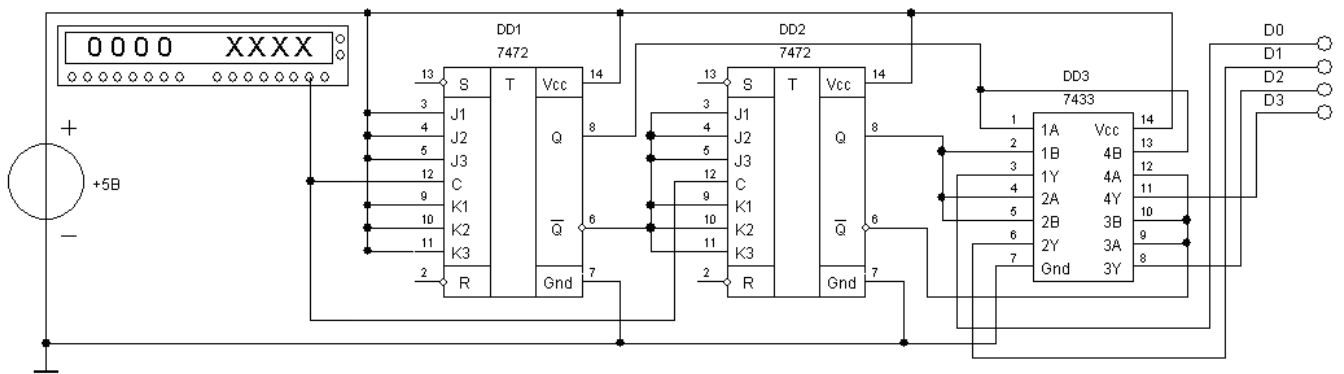


Рисунок 2.6 - Генератор числової послідовності 2 – 3 – 4 – 12

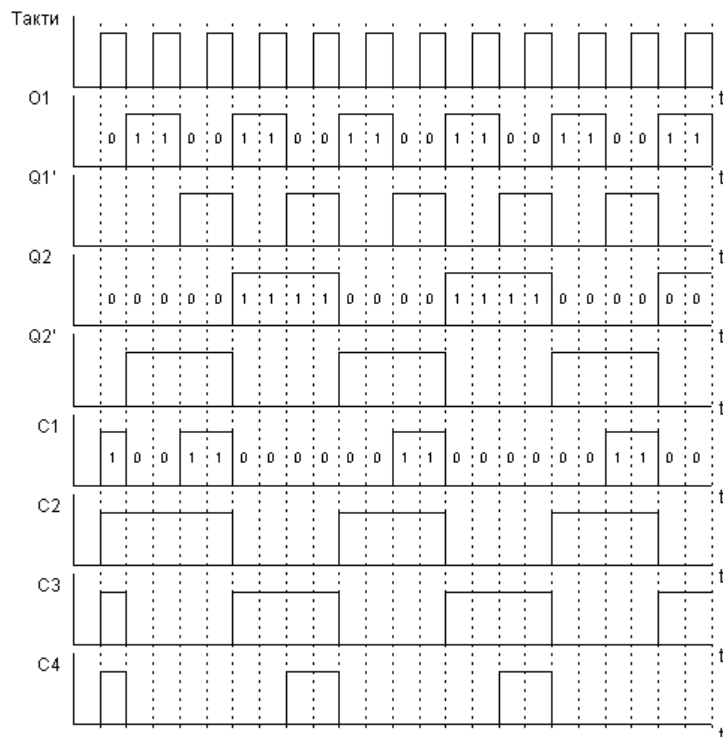


Рисунок 2.7 – Часова діаграма роботи генератора

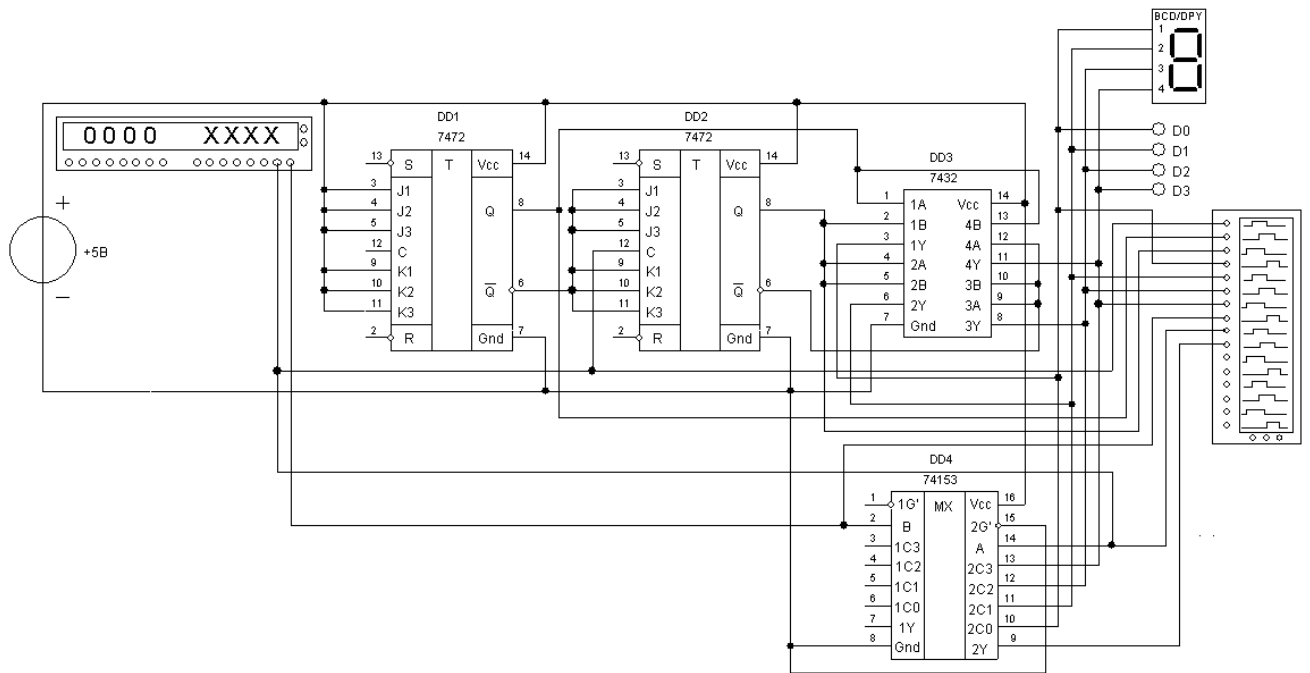


Рисунок 2.8 - Схема лабораторного стенду до завдання 2.2

а) Проаналізувати роботу схеми генератора числових послідовностей (рис. 2.5). Побудувати таблицю функціонування. Визначити рівняння функціонування тригерів та комбінаційної схеми.

б) Побудувати в програмному забезпеченні EWB генератор числової послідовності 2 – 3 – 4 – 12. (рис. 2.6)

в) Провести аналіз його функціонування, побудувати часові діаграми.

г) Побудувати в програмному забезпеченні EWB схема лабораторного стенду до завдання (рис. 2.8).

д) Визначити рівняння функціонування мультиплексора.

е) Провести повний аналіз функціонування схеми. Обґрунтувати вибір елементів схеми та режими їх функціонування.

ж) Побудувати тимчасову діаграму функціонування схеми мультиплексування інформації з генератора числової послідовності 2 – 3 – 4 – 12.

з) Зробити розгорнутий висновок.

3. Зміст звіту

Мета роботи.

За кожним завданням мають бути представлені логічні функції, логічні схеми, таблиці істинності, тимчасові діаграми, послідовність перетворень схем і функцій, якщо вони вироблялися.

Висновок.

4. Контрольні питання

1. Принцип функціонування мультиплексорів.
2. Види тригерів. Принципи їх функціонування.
3. Рівняння функціонування тригерів.
4. Принцип функціонування цифрових генераторів.
5. Рівняння функціонування мультиплексора.
6. Діаграма функціонування мультиплексора.
7. Використання мультиплексорів..

Література

1. Верьовкін Л.Л. Цифрова схемотехніка: Підручник [Текст] / Л.Л. Верьовкін, М.В. Світанько, Є.М. Кісельов, С.Л. Хрипко. – Запоріжжя: ЗДІА, 2016. – 214 с.
2. Цифровая схемотехника [Текст] / Е.П. Угрюмов. – СПб.: БХВ – Санкт-Петербург, 2000. – 528 с.
3. Основи схемотехніки електронних систем: Підручник [Текст] / [Бойко В.І., Гуржій А.М., Жуйков В.Я. та ін]. – К.: Вища шк., 2004. – 527 с.
4. Мікросхемотехніка: Підручник [Текст] / [Гельжинський І.І., Голяка Л.Р., Готра З.Ю., Марусенкова Т.А.]. – Львів: Ліга-Прес, 2015. – 492 с.

Лабораторна робота №3

Дослідження схем пріоритетних шифраторів

Мета роботи: Ознайомитись с призначенням та принципами побудови шифраторів.

1. Комбінаційні шифратори

Шифратори застосовуються в контролерах переривань роботи мікропроцесора зовнішніми пристроями, в паралельному перетворювачі напруги в код і для кодування номера клавіші.

Шифратор — це комбінаційний пристрій, який перетворює десяткові числа в двійкову систему лічення, причому кожному входу може бути поставлено у відповідь десяткове число, а набір вихідних логічних сигналів відповідає певному двійковому коду. Шифратор інколи називають «кодером» (від англ. coder) і використовують, наприклад, для перекладу десяткових чисел, набраних на клавіатурі кнопочового пульта управління, в двійкові числа. Якщо кількість входів настільки велика, що в шифраторі використовуються всі можливі комбінації сигналів на виході, то такий шифратор зветься повним, якщо не всі, то неповним. Число входів і виходів в повному шифраторі зв'язане співвідношенням $n = 2^m$, де n — число входів, m — число виходів. Так, для перетворення коду кнопочового пульта в чотири розрядне двійкове число досить використовувати лише 10 входів, тоді як повне число можливих входів буде дорівнювати 16 ($n = 2^4 = 16$), тому шифратор 10×4 (з 10 в 4) буде неповним.

Шифратор може бути непріоритетним, якщо допускається подача лише одного активного сигналу і може бути пріоритетним, якщо допускається подача одночасно декількох активних сигналів на входи. Непріоритетний шифратор здійснює перетворення десяткового номера активного входу в двійковий еквівалент цього номера. Для непріоритетного шифратора "4 в 2" таблиця істинності має вигляд:

Таблиця 3.1 – Таблиця істинності неперіоритетного шифратора "4 в 2"

№ входа	Входи				Виходи	
	A	B	C	D	Q1	Q0
0	1	0	0	0	0	0
1	0	1	0	0	0	1
2	0	0	1	0	1	0
3	0	0	0	1	1	1

Для синтезу схеми неперіоритетного шифратора для кожного виходу складемо таблицю Карно. Чотири вхідних змінних дають $2^4=16$ комбінацій з яких за визначенням задані в таблиці лише 4. Останні 12 невизначених (заборонених) комбінацій в таблицях Карно відзначимо символом d. Оскільки поява цих комбінацій на входах не передбачена (за визначенням), то у відповідні клітки карти Карно можна підставляти будь-які значення, у тому числі такі, які дозволяють якнайповніше мінімізувати ЛФ. У обох випадках дві величини d довизначено до 1 (рис. 3.1).

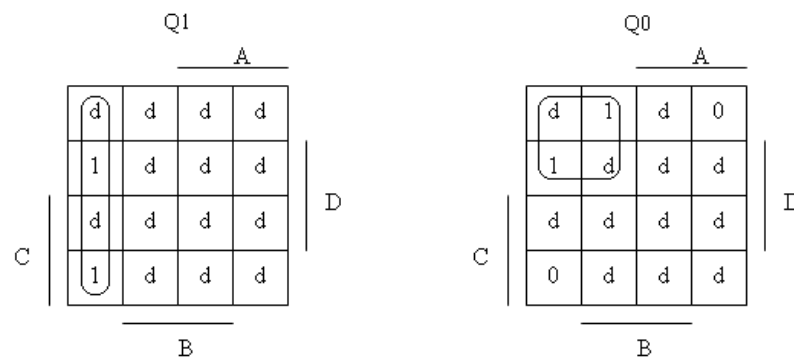


Рисунок 3.1 – Графічний аналіз функціонування неперіоритетного шифратора

З приведених таблиць знаходимо Q1 і Q0:

$$Q1 = \bar{A} \cdot \bar{B} = \overline{A + B} \quad \text{і} \quad Q0 = \bar{A} \cdot \bar{C} = \overline{A + C}$$

Змінна D виявилася не використовуваною (рис.3.2), але це сталося через те, що якщо немає сигналу ні на одному з перших трьох входів, то він неминуче має бути присутнім, за визначенням, на тому, що залишився, тобто на четвертому. Змінна D, разом з останніми може бути використана для фор-

мування функції $A + B + C + D$ рівною 0, коли не активний жоден з входів, що може сигналізувати, наприклад, про несправність джерел сигналів.

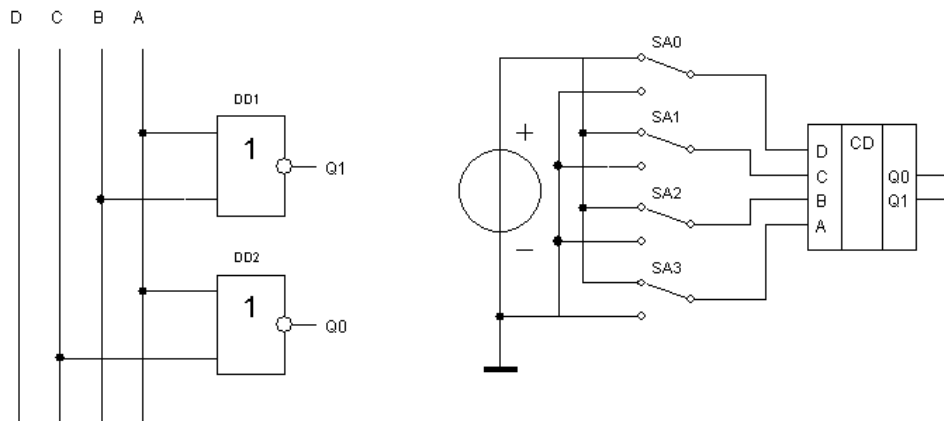


Рисунок 3.2 – Схема неперіоритетного шифратора "4 в 2"

Пріоритетні шифратори виконують складнішу операцію. При роботі ЕОМ і в інших пристроях часто вирішується завдання визначення пріоритетного претендента на користування яким-небудь ресурсом. Декілька конкурентів виставляють свої запити на обслуговування, які не можуть бути задоволені одночасно. Потрібно вибрати того, кому надається право першочергового обслуговування. Простий варіант рішення вказаної задачі — привласнення кожному джерелу запитів фіксованого пріоритету. Наприклад, група з восьми запитів $X_7...X_0$ формується так, що вищий пріоритет має джерело номер сім, а далі пріоритет зменшується від номера до номера. Самий молодший пріоритет в нульового джерела — він обслуговуватиметься лише за відсутності всіх інших запитів. Якщо є одночасно декілька запитів, обслуговується запит з найбільшим номером.

Пріоритетний шифратор виробляє на виході двійковий номер старшого запиту. За наявності на входах декількох збуджених ліній (запитів) на виході буде збуджена лише одна, відповідна старшому запиту.

Шифратор з пріоритетом (пріоритетний шифратор) К555ІВ1 (рис. 3.3) (табл. 3.2) серії мікросхем К555 (ТТЛШ, зарубіжний аналог 74148).

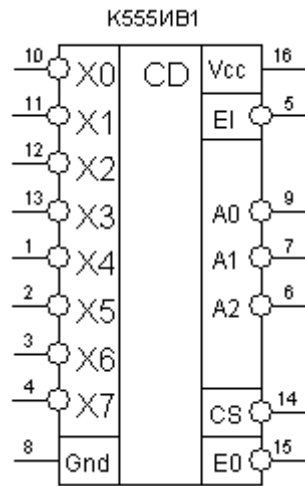


Рисунок 3.3 - Пріоритетний шифратор К555ІВ1

Таблиця 3.2 – Таблиця функціонування пріоритетного шифратора К555ІВ1

Входи									Виходи				
E1	X0	X1	X2	X3	X4	X5	X6	X7	A2	A1	A0	CS	E0
1	×	×	×	×	×	×	×	×	1	1	1	1	1
0	1	1	1	1	1	1	1	1	1	1	1	1	0
0	×	×	×	×	×	×	×	0	0	0	0	0	1
0	×	×	×	×	×	×	0	1	0	0	1	0	1
0	×	×	×	×	×	0	1	1	0	1	0	0	1
0	×	×	×	0	1	1	1	1	1	0	0	0	1
0	×	×	0	1	1	1	1	1	1	0	1	0	1
0	×	0	1	1	1	1	1	1	1	1	0	0	1
0	0	1	1	1	1	1	1	1	1	1	1	0	1

Мікросхема К555ІВ1 представляє собою пріоритетний шифратор 8×3, тобто має 8 інверсних входів і 3 інверсних виходу. Окрім цього вона має вхід

дозволу E1, вихід перенесення E0 і вихід CS, визначаючий ознаку вхідного інформаційного сигналу.

Активним для шифратора і на вході і на виході є низький рівень сигналу. Перетворення відбувається якщо на вході дозволу E1 присутній низький рівень.

Якщо на всіх інформаційних входах логічна 1, то при подачі на вхід E1 логічного 0, на виходах A0—A1—A2 і CS будуть логічні 1, а на виході перенесення E0 — логічний 0.

Якщо активізувати один з інформаційних входів (подати на нього логічний 0), то на виходах A0—A1—A2 з'явиться інверсний код, відповідний номеру активізованого входу, на вході CS — логічний 0, такий, що є ознакою подачі вхідного сигналу, а на виході E0 — логічна 1.

Якщо мікросхема не активізована, тобто на вхід дозволу E1 подана логічна 1, то на всіх виходах мікросхеми також буде логічна 1 незалежно від того, що буде подане на інформаційні входи.

Для нарощування розрядності дешифрування можливе з'єднання декількох мікросхем, при цьому вхід старшого розряду шифратора X7 сполучають з входом дозволу E1 наступного шифратора. Вихід E0 є виходом схеми і вхідних шин шифратора. Вихід CS, забезпечує на виході LE ознаку вибору наступної мікросхеми.

2. Завдання до виконання лабораторної роботи

2.1 Дослідження пріоритетного шифратора з прямими входами та виходами

Таблиця (табл. 3.3) повністю характеризує роботу досліджуемого пріоритетного шифратора при всіх можливих комбінаціях сигналів: E1 — сигналу дозволу роботи шифратора; E0 — сигналу, що виробляється на виході шифратора за відсутності запитів на його входах для дозволу роботи наступного (молодшого) шифратора при нарощуванні розмірності шифраторів; CS

— сигналу, що відзначає наявність запитів на вході шифратора; $X_7...X_0$ — запитів на входах шифратора; A_2, A_1, A_0 — значень розрядів вихідної двійкової коди, що формує номер старшого запиту. Всі перелічені сигнали формуються за умови $E_1 = 1$ (робота шифратора дозволена). При $E_1 = 0$ незалежно від станів входів запитів всі вихідні сигнали шифратора стають нульовими.

Таблиця 3.3 – Таблиця функціонування досліджуемого пріоритетного шифратора

Входи									Виходи				
E_1	X_7	X_6	X_5	X_4	X_3	X_2	X_1	X_0	A_2	A_1	A_0	CS	E_0
1	1	×	×	×	×	×	×	×	1	1	1	1	0
1	0	1	×	×	×	×	×	×	1	1	0	1	0
1	0	0	1	×	×	×	×	×	1	0	1	1	0
1	0	0	0	1	×	×	×	×	1	0	0	1	0
1	0	0	0	0	1	×	×	×	0	1	1	1	0
1	0	0	0	0	0	1	×	×	0	1	0	1	0
1	0	0	0	0	0	0	1	×	0	0	1	1	0
1	0	0	0	0	0	0	0	1	0	0	0	1	0
1	0	0	0	0	0	0	0	0	0	0	0	0	1
0	×	×	×	×	×	×	×	×	0	0	0	0	0

Згідно з таблицею рівняння функціонування пріоритетного шифратора для виходів A_2, A_1, A_0, CS, E_0 :

$$A_2 = (X_7 + \overline{X_7}X_6 + \overline{X_7}\overline{X_6}X_5 + \overline{X_7}\overline{X_6}\overline{X_5}X_4)E_1;$$

$$A_1 = (X_7 + \overline{X_7}X_6 + \overline{X_7}\overline{X_6}X_5X_4X_3 + \overline{X_7}\overline{X_6}\overline{X_5}X_4X_3X_2)E_1;$$

$$A_0 = (X_7 + \overline{X_7}\overline{X_6}X_5 + \overline{X_7}\overline{X_6}\overline{X_5}X_4X_3 + \overline{X_7}\overline{X_6}\overline{X_5}\overline{X_4}X_3X_2X_1)E_1;$$

$$CS = (X_7 + X_6 + X_5 + X_4 + X_3 + X_2 + X_1)E_1;$$

$$E0 = \overline{X7X6X5X4X3X2X1X0}E1.$$

Повторним застосуванням до кожної з функцій A_i ($i = 2, 1, 0$) відомого співвідношення алгебри логіки $A + \overline{FA} = A + F$ можна спростити їх і отримати вирази, які визначають внутрішню структуру шифратора пріоритету в його основній частині:

$$A2 = (X7 + X6 + X5 + X4)E1;$$

$$A1 = (X7 + X6 + \overline{X5X4X3} + \overline{X5X4X2})E1;$$

$$A0 = (X7 + \overline{X6X5} + \overline{X6X4X3} + \overline{X6X4X2X1})E1.$$

Схема досліджуємого пріоритетного шифратора згідно з рівняннями функціонування представлена на рис. 3.4.

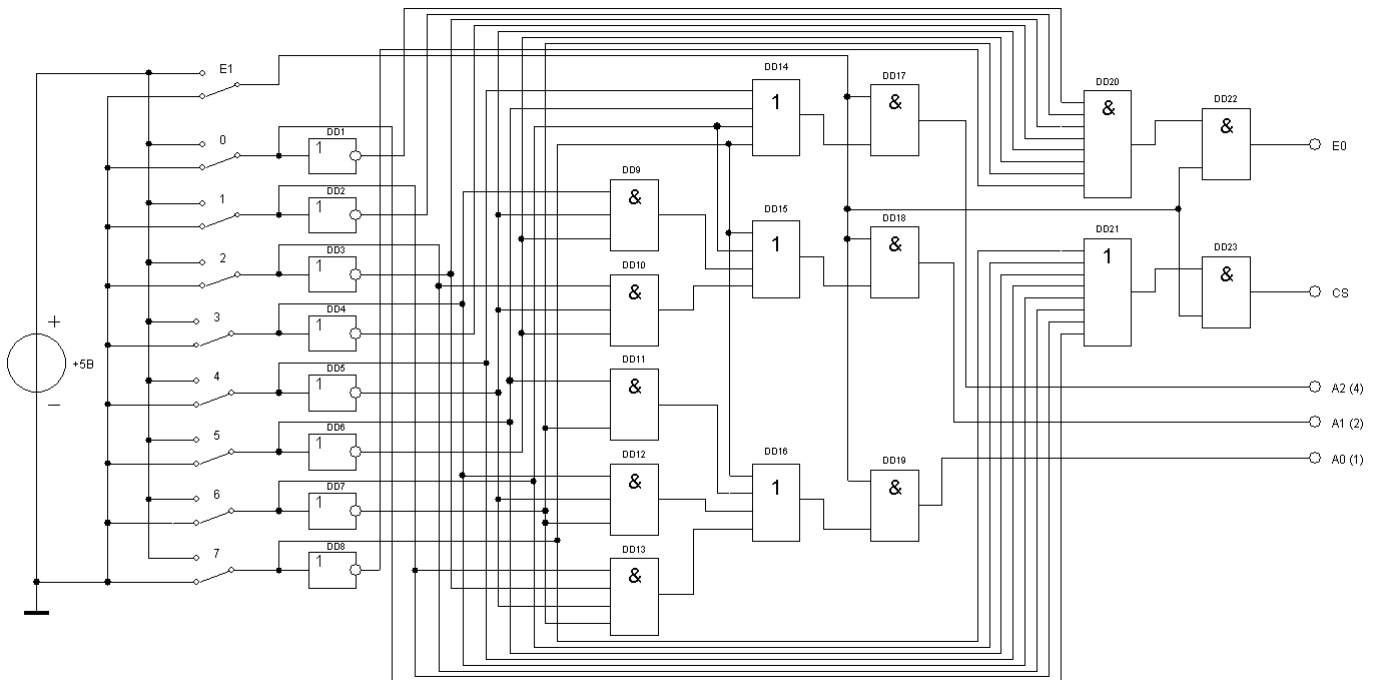


Рисунок 3.4 - Схема лабораторного стенду до завдання 2.1

а) Встановити на всіх інформаційних входах логічну 1, подати на вхід Е1 логічний 0, дослідити сигнали на виходах А0—А1—А2, CS, Е0.

б) Активізувати один з інформаційних входів (подати на нього логічну 1), зчитати код з виходів А0—А1—А2, CS, Е0.

в) Активізувати декілька інформаційних входів, зчитати код з виходів А0—А1—А2, CS, Е0.

г) Зробити обґрунтований висновок про принцип функціонування пріоритетного шифратора.

2.2 Дослідження мікросхеми 74148

З'єднати дві мікросхеми 74148 за схемою рис. 3.5 для здобуття пріоритетного шифратора на 16 входів.

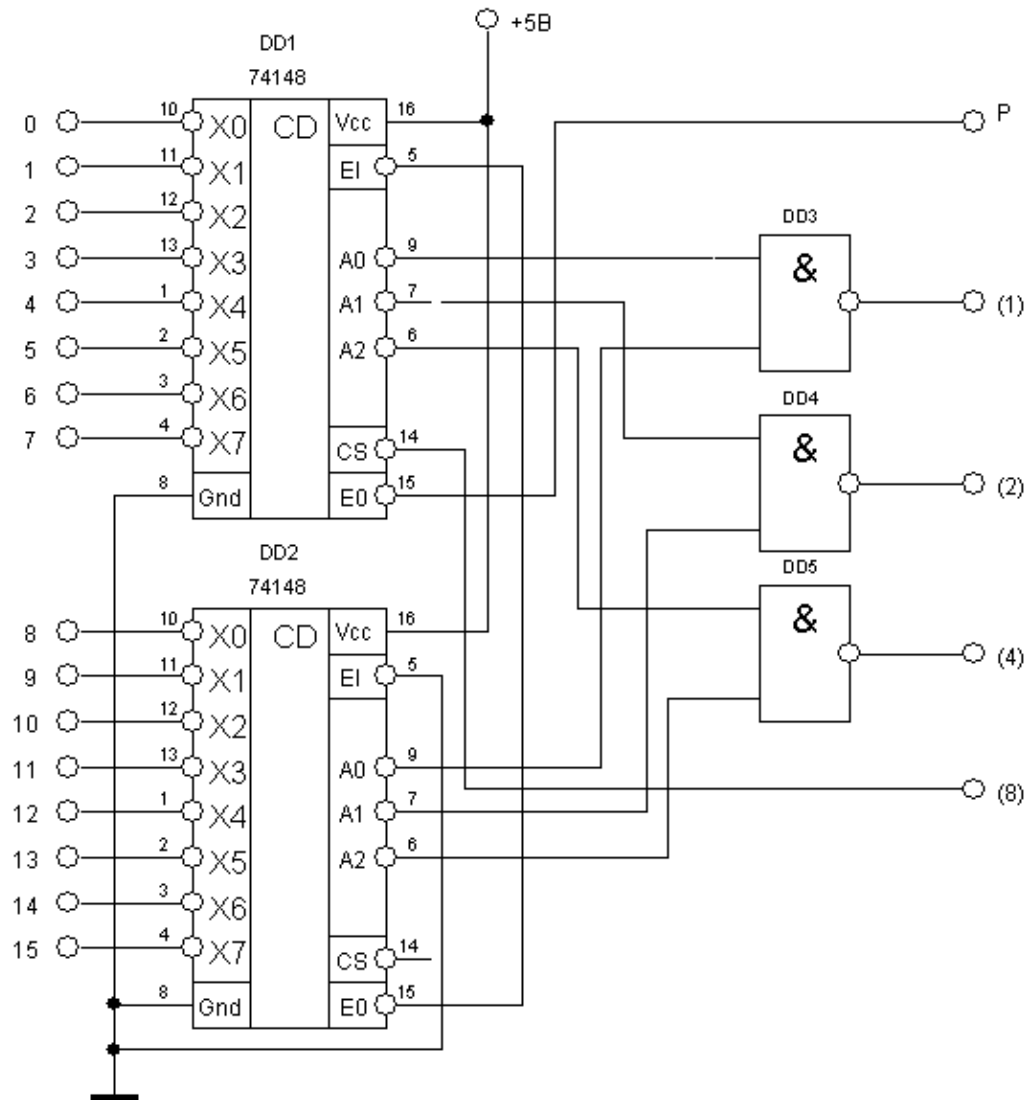


Рисунок 3.5 – Пріоритетний шифратор "16 в 4"

Якщо логічний 0 поданий на один з входів 0 - 7, на виходах DD3 – DD5 з'являться молодші розряди прямого вихідного коду, на виході CS DD1 - логічний 0, такий, що визначає розряд 8-розрядного коду, на виході E0 - логічна 1, яка є ознакою подачі вхідного сигналу. Якщо логічний 0 подати на один з

входів 8 - 15, логічна 1 з виходу CS DD2 заборонить роботу DD1, молодші розряди на виходах DD3 – DD5 визначаються мікросхемою DD2, на виході 8 вихідного коду буде логічна 1.

а) Зібрати схему пріоритетного шифратора (рис. 3.5) підключивши до неї джерело живлення, джерела вхідного сигналу, контрольні індикатори.

б) Дослідити режими функціонування схеми, занести данні в таблицю функціонування.

в) Зробити обґрунтований висновок про принцип нарощування розрядності шифраторів.

3. Зміст звіту

Мета роботи.

За кожним завданням мають бути представлені логічні функції, логічні схеми, таблиці істинності, послідовність перетворень схем і функцій, якщо вони вироблялися.

Висновок.

4. Контрольні питання

1. Принцип функціонування непріоритетних шифраторів.
2. Таблиця функціонування та рівняння непріоритетних шифраторів.
3. Рівняння функціонування пріоритетного шифратора "8 в 3".
4. Робота мікросхеми КР555ИВ1.
5. Принцип нарощування розрядності пріоритетних шифраторів.

Література

1. Верьовкін Л.Л. Цифрова схемотехніка: Підручник [Текст] / Л.Л. Верьовкін, М.В. Світанько, Є.М. Кісельов, С.Л. Хрипко. – Запоріжжя: ЗДІА, 2016. – 214 с.

Цифровая схемотехника [Текст] / Е.П. Угрюмов. – СПб.: БХВ – Санкт-Петербург, 2000. – 528 с.

Лабораторная работа №4

Дослідження схем мажоритарних елементів

Мета роботи: синтезувати функціональну схему мажоруючого елемента для пристрою мажоритарного контролю шестирозрядних слів, які поступають на мажоруючий елемент з трьох ідентичних вузлів.

1. Синтез логічної схеми мажоритарного елемента

«Закон більшості», або мажоритарний закон. Вирішальний елемент зазвичай називають мажоритарним елементом. Мажоритарний елемент — це логічний пристрій з непарним числом входів $m=2k+1$ (де $k = 1, 2, 3$) і одним виходом. Робота мажоритарного елемента полягає в наступному: на входи елемента поступають двійкові сигнали від непарної кількості ідентичних елементів; вихідний сигнал елемента набуває значення, рівного значенню, яке приймає більшість вхідних сигналів. Найширше використовують мажоритарні елементи, що працюють за законом «2 з 3». У цих елементах значення вихідного сигналу дорівнює значенню двох однакових вхідних сигналів. Крім того, відомі мажоритарні елементи, що працюють за законом «3 з 5», «4 з 7» і так далі. Таблиця функціонування мажоритарного елемента представлена на рис. 4.1.

Y1	Y2	Y3	Y
0	0	0	0
0	0	1	0
0	1	0	0
0	1	1	1
1	0	0	0
1	0	1	1
1	1	0	1
1	1	1	1

Рисунок 4.1 – Таблиця функціонування мажоритарного елемента

Згідно з таблицею, карта Карно виглядає наступним образом:

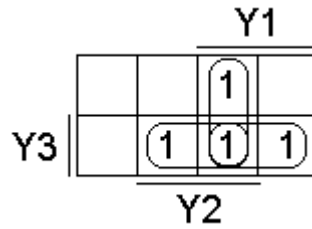


Схема мажоритарного елемента, що працює за законом «2 з 3» і побудованого з логічних елементів І і АБО, заснована на вираженні

$$Y = Y1Y2 + Y1Y3 + Y2Y3 \quad (4.1)$$

і має вигляд, представлений на рис. 4.2.

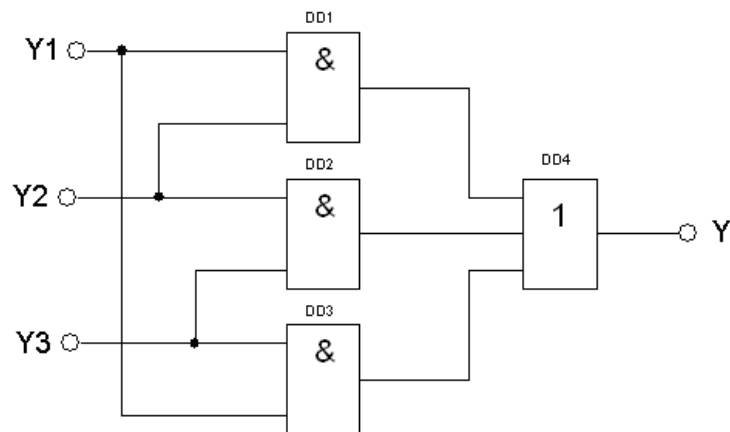


Рисунок 4.2 – Схема мажоритарного елемента

Після перетворення рівняння до базису Шеффера за допомогою теореми Де Моргана:

$$\begin{aligned} Y &= Y1Y2 + Y1Y3 + Y2Y3 = \\ &= \overline{\overline{Y1Y2} + \overline{Y1Y3} + \overline{Y2Y3}} = \\ &= \overline{\overline{Y1Y2} \cdot \overline{Y1Y3} \cdot \overline{Y2Y3}} \end{aligned} \quad (4.2)$$

отримуємо схему (рис.4.3).

При мажоритарному контролі використовують декілька пристроїв, що одночасно виконують одні і ті ж дії. Рішення про те, який сигнал має бути на виході, приймається методом “голосування”, тобто по більшості вихідних сигналів окремих пристроїв. Вироблення загального вихідного сигналу здійснюється мажоритарним елементом (елементом голосування).

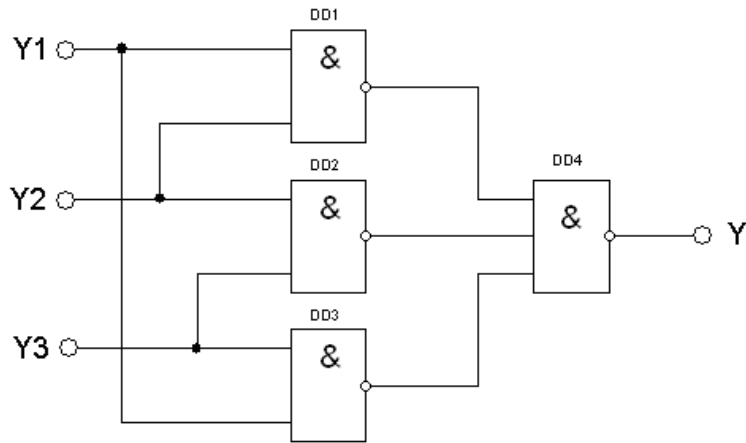


Рисунок 4.3 – Схема мажоритарного елемента в базі Шеффера

Входи вузла мають N виводів, промовців в ролі вхідних даних, які підключені до мажоритарного елемента. Мажоритарний елемент здійснює вироблення вихідного сигналу Y відповідно до логічного вираження (4.1).

Тут операції множення і складання логічні і, отже відсутність одного з сигналів $Y1$, $Y2$ або $Y3$ не впливає на правильність вироблення сигналу Y .

2. Порядок виконання лабораторної роботи

Синтезувати функціональну схему мажоруючого елемента для пристрою мажоритарного контролю шестирозрядних слів, які поступають на мажоруючий елемент з трьох ідентичних вузлів (пристроїв) (рис.4.4). Реалізацію виконати на елементах базису Шеффера (рис. 4.5). Входами вузла, що розробляється, є N виводів, які виступають в ролі вихідних даних, які підключені до мажоритарного елемента.

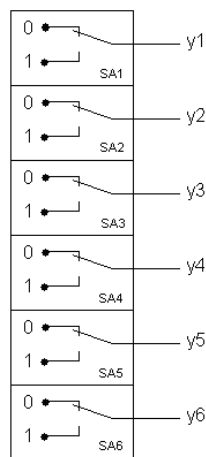


Рисунок 4.4 – Вузол передачі шестирозрядного слова

Відповідно до логічного вираження (4.1) отримаємо функції в базисі Буля:

$$Y1 = y1 y7 + y1 y13 + y7 y13$$

$$Y2 = y2 y8 + y2 y14 + y8 y14$$

$$Y3 = y3 y9 + y3 y15 + y9 y15$$

$$Y4 = y4 y10 + y4 y16 + y10 y16$$

$$Y5 = y5 y11 + y5 y17 + y11 y17$$

$$Y6 = y6 y12 + y6 y18 + y12 y18$$

Використовуючи теорему Де Моргана, отримаємо функції в базисі Шеффера:

$$Y1 = \overline{\overline{y1 * y7 * y1 * y13 * y7 * y13}}$$

$$Y2 = \overline{\overline{y2 * y8 * y2 * y14 * y8 * y14}}$$

$$Y3 = \overline{\overline{y3 * y9 * y3 * y15 * y15 * y3}}$$

$$Y4 = \overline{\overline{y4 * y10 * y4 * y16 * y10 * y16}}$$

$$Y5 = \overline{\overline{y5 * y11 * y5 * y17 * y11 * y17}}$$

$$Y6 = \overline{\overline{y6 * y12 * y6 * y18 * y12 * y18}}$$

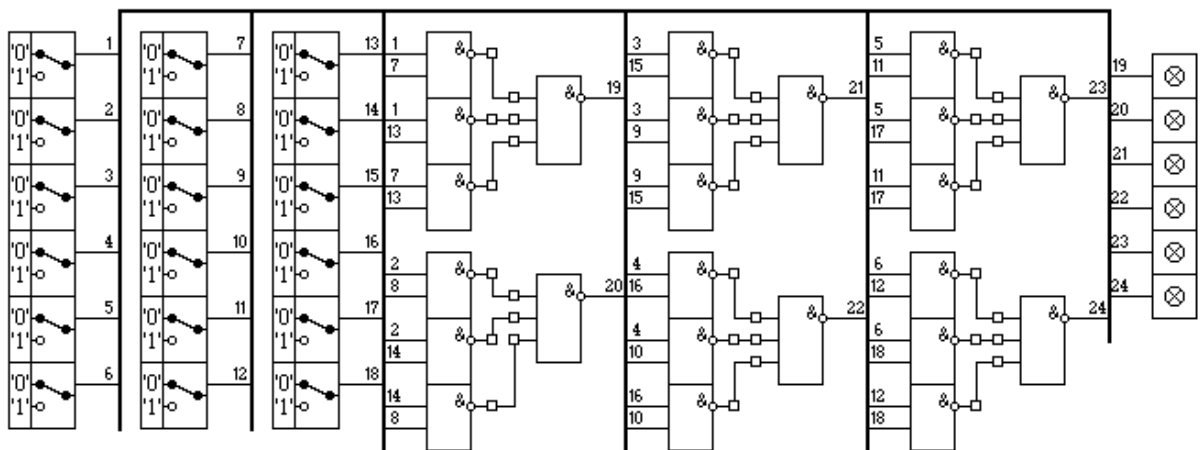


Рисунок 4.4 - Функціональна схема пристрою мажоритарного контролю шестирозрядних слів

3. Зміст звіту

Мета роботи.

Таблиці і рівняння функціонування розрахункових блоків.

Схеми розрахованого мажоритарного елемента.

Діаграми функціонування.

Висновок

4. Контрольні питання

1. Мажоритарний закон.
2. Функціонування мажоритарного елемента «2 з 3».
3. Діаграма функціонування мажоритарного елемента «2 з 3».
4. Призначення мажоритарних елементів.
5. Принцип мажоритарного резервування.
6. Резервування заміщенням.
7. Ковзаюче резервування.

Література

1. Верьовкін Л.Л. Цифрова схемотехніка: Підручник [Текст] / Л.Л. Верьовкін, М.В. Світанько, Є.М. Кісельов, С.Л. Хрипко. – Запоріжжя: ЗДІА, 2016. – 214 с.
2. Цифровая схемотехника [Текст] / Е.П. Угрюмов. – СПб.: БХВ – Санкт-Петербург, 2000. – 528 с.
3. Основи схемотехніки електронних систем: Підручник [Текст] / [Бойко В.І., Гуржій А.М., Жуйков В.Я. та ін]. – К.: Вища шк., 2004. – 527 с.
4. Мікросхемотехніка: Підручник [Текст] / [Гельжинський І.І., Голяка Л.Р., Готра З.Ю., Марусенкова Т.А.]. – Львів: Ліга-Прес, 2015. – 492 с.
5. Постников А.И. Основы теории цифровых автоматов: Учеб. пособие для вузов по спец. Вычислительные машины, комплексы, системы и сети [Текст] / А.И. Постников. – Красноярск: КГТУ, 2000. - 296 с.

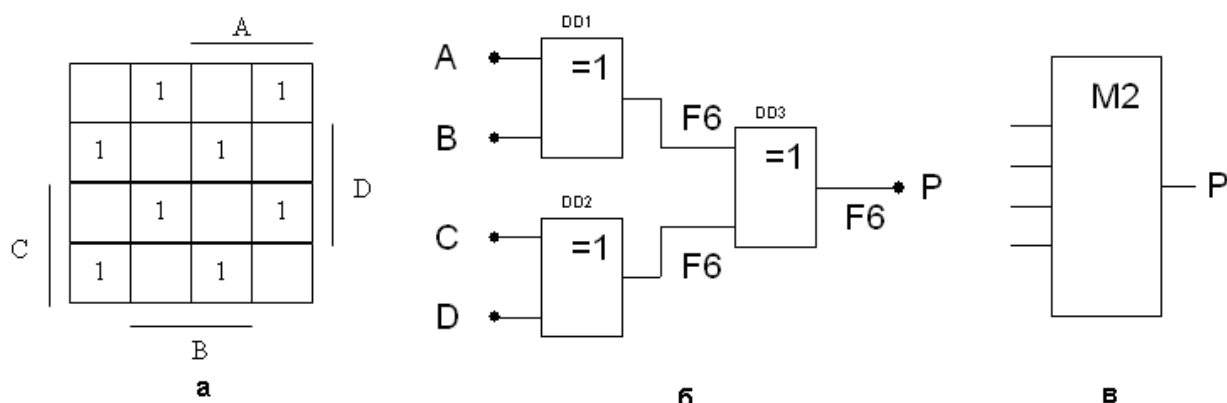
Лабораторна робота № 5

Дослідження схем контролю парності (непарності)

Мета роботи: Ознайомитись с призначенням та принципами побудови схем контролю порушень переданої інформації по шинам даних.

1. Застосування схем контролю парності

Схема застосовується для виявлення одиночних помилок, викликаних перешкодами в лінії зв'язку або в блоках пам'яті. Метод заснований на підрахунку числа одиниць в передаваній в лінію або направленої в пам'ять на зберігання порції інформації, причому якщо число одиниць парне - функція парності P (Parity) дорівнює нулю. Для чотирирозрядного двійкового числа таблиця Карно, схемна реалізація і умовне позначення приведені на рис.5.1.



а – карта Карно;

б – схемна реалізація;

в – умовне позначення.

Рисунок 5.1 – Схема контролю парності

Символом M2 позначена операція - "сума по модулю два". Чотири рядки таблиці Карно дають 4 складових:

$$P = \overline{A}\overline{B}\overline{C}\overline{D} + \overline{A}\overline{B}\overline{C}D + \overline{A}\overline{B}C\overline{D} + \overline{A}\overline{B}CD + \overline{A}B\overline{C}\overline{D} + \overline{A}B\overline{C}D + \overline{A}BC\overline{D} + \overline{A}BCD = \\ = (C \oplus D) \oplus (A \oplus B)$$

По n-провідній лінії зв'язку (рис.5.2) передається паралельний двійковий код $x(n-1), x(n-2), \dots, x_1, x_0$, а приймається код $x'(n-1), x'(n-2), \dots, x'_1, x'_0$.

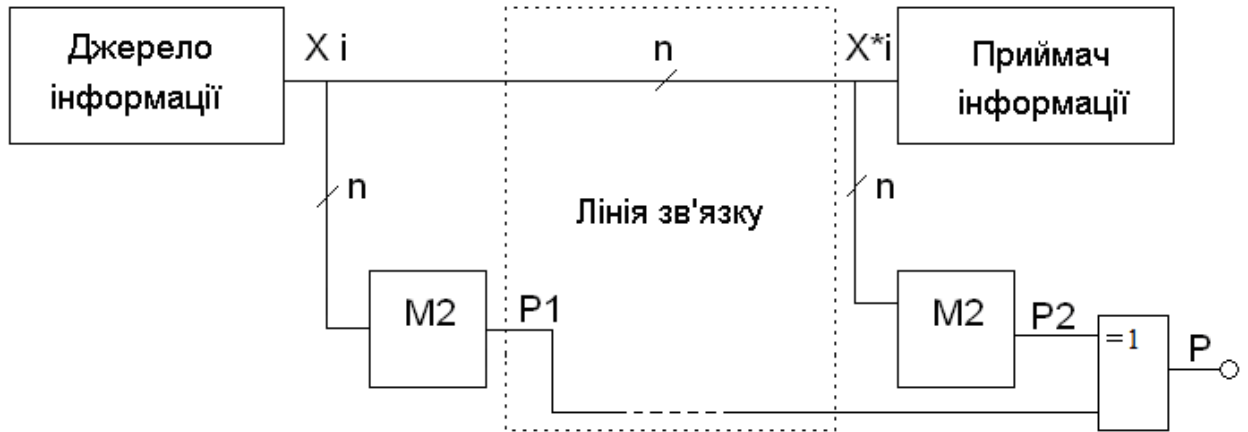


Рисунок 5.2 – Схема контролю передачі інформації

Тоді величина $P1 = x_0 \oplus x_1 \oplus \dots \oplus x(n-1)$.

На приймальному кінці лінії зв'язку $P2 = x'_0 \oplus x'_1 \oplus \dots \oplus x'(n-1)$. Підставляючи в останню формулу вираження для $P1$ і групуючи змінні в однойменні пари, отримуємо: $P2 = (x_0 \oplus x'_0) \oplus (x_1 \oplus x'_1) \oplus (x_2 \oplus x'_2) \oplus \dots$. З останнього вираження виходить, що якщо передача пройшла без спотворень, то $x_i = x'_i$ і $x_i \oplus x'_i = 0$, а $P2 = 0$. При спотворенні одного і в загальному випадку непарного числа біт функція $P2 = 1$. Аналогічно протікає процес контролю і при послідовній передачі по одній лінії зв'язку n-біт і одного біта парності.

2. Завдання на лабораторну роботу

1. Побудувати схему контролю передачі інформації з використанням схем контролю парності.
2. Перевірити правильність функціонування схеми імітацією порушень інформації в шинах.
3. Побудувати діаграму функціонування пристрою.

3. Зміст звіту

Мета роботи.

Таблиці і рівняння функціонування розрахункових блоків.

Розраховані схеми контролю передачі інформації.

Діаграми функціонування.

Висновок

4. Контрольні питання

1. Повний перелік функцій двох аргументів.
2. Метод контролю парності.
3. Таблиця функціонування схеми контролю парності.
4. Рівняння функціонування схеми контролю парності.
5. Принцип контролю інформації в n-провідній лінії зв'язку.
6. Діаграма функціонування.

Література

1. Верьовкін Л.Л. Цифрова схемотехніка: Підручник [Текст] / Л.Л. Верьовкін, М.В. Світанько, Є.М. Кісельов, С.Л. Хрипко. – Запоріжжя: ЗДІА, 2016. – 214 с.
2. Чье Ен Ун. Электроника. Цифровые элементы и устройства: Учеб. пособ. [Текст] / Чье Ен Ун. – Хабаровск: Изд-во Хабар. гос. техн. ун-та, 2002. – 97 с.
3. Потемкин И.С. Функциональные узлы цифровой автоматики [Текст] / И.С. Потемкин. – М.: Энергоатомиздат, 1988. – 320 с.
4. Основи схемотехніки електронних систем: Підручник [Текст] / [Бойко В.І., Гуржій А.М., Жуйков В.Я. та ін]. – К.: Вища шк., 2004. – 527 с.

Дослідження пристроїв введення цифрової інформації

Мета роботи: ознайомитись з принципами побудови різноманітних пристроїв введення інформації, формуванням сигналів контролю проходження інформації.

1. Кодуючі пристрої введення цифрової інформації

1.1 Методи формування сигналів

Будь-яка цифрова система, разом з центральною частиною, що виконує логічну обробку і перетворення інформації, додатково містить засоби введення і виведення інформації. Як пристрій введення для формування сигналів, що управляють і кодових, можуть використовуватися кнопкові перемикачі і контактні клавіатури. Сигнал за допомогою кнопкових перемикачів формується шляхом замикання – розмикання ними електричному ланцюгу (рис. 6.1,а). Іншим методом здобуття сигналу є використання так званого «контактного щупа» (рис. 6.1,б). Тут з виходу контактної майданчика у вихідному стані знімають потенціал U_p , а у момент того, що стосується майданчика щупом рівень сигналу стає рівним нулю. Сигнали, що формуються контактною парою, супроводяться брязкотом (рис. 6.1,в), тривалість якого складає 8–12 мс. Для усунення брязкоту в отриманому сигналі (рис. 6.1,г) на виході контакту встановлюють спеціальні формувачі. На рис. 6.2 приведені схеми найбільш поширених формувачів. У формувачі на рис. 6.2,а використовується принцип безпосередньої установки RS-тригера відповідно до стану перемикача SB2. Форма сигналу з виходу формувача приведена на рис. 6.1,г. Формувач на рис. 6.2,б є однорозрядним тактованим регістром з періодом вхідних тактів $T_1 \geq 10-20$ мс. Його роботу ілюструють діаграми на рис. 6.2,в. Перший формувач простий, але для його підключення до перемикача SB1 потрібно два резистори (R_1, R_2) і двопровідну лінію.

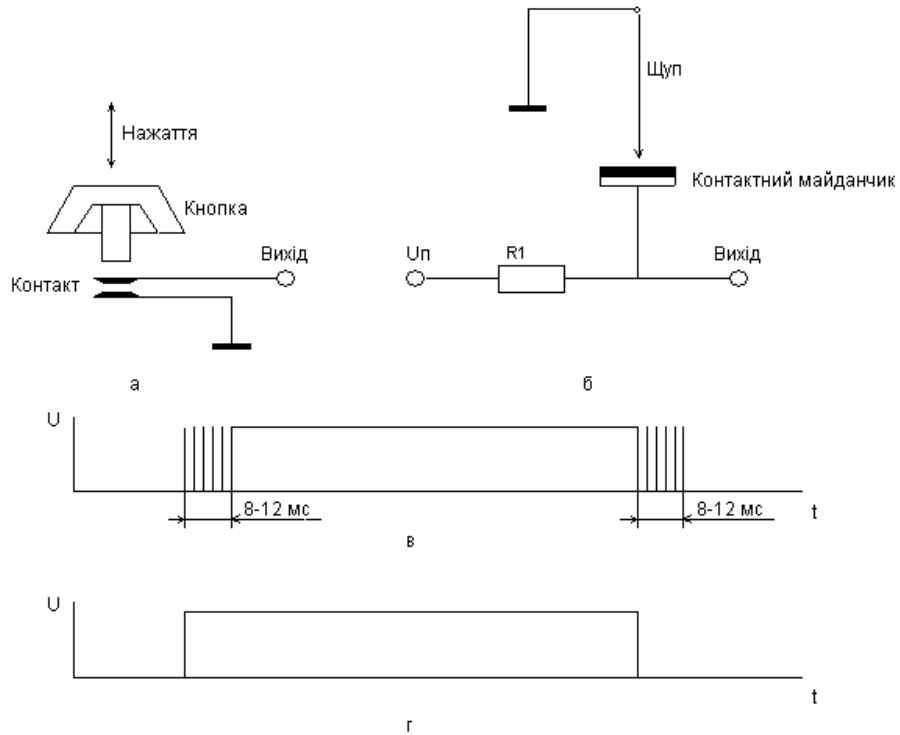


Рисунок 6.1 – Методи здобуття електричного контакту у формувачах сигналів і сигнали формувача

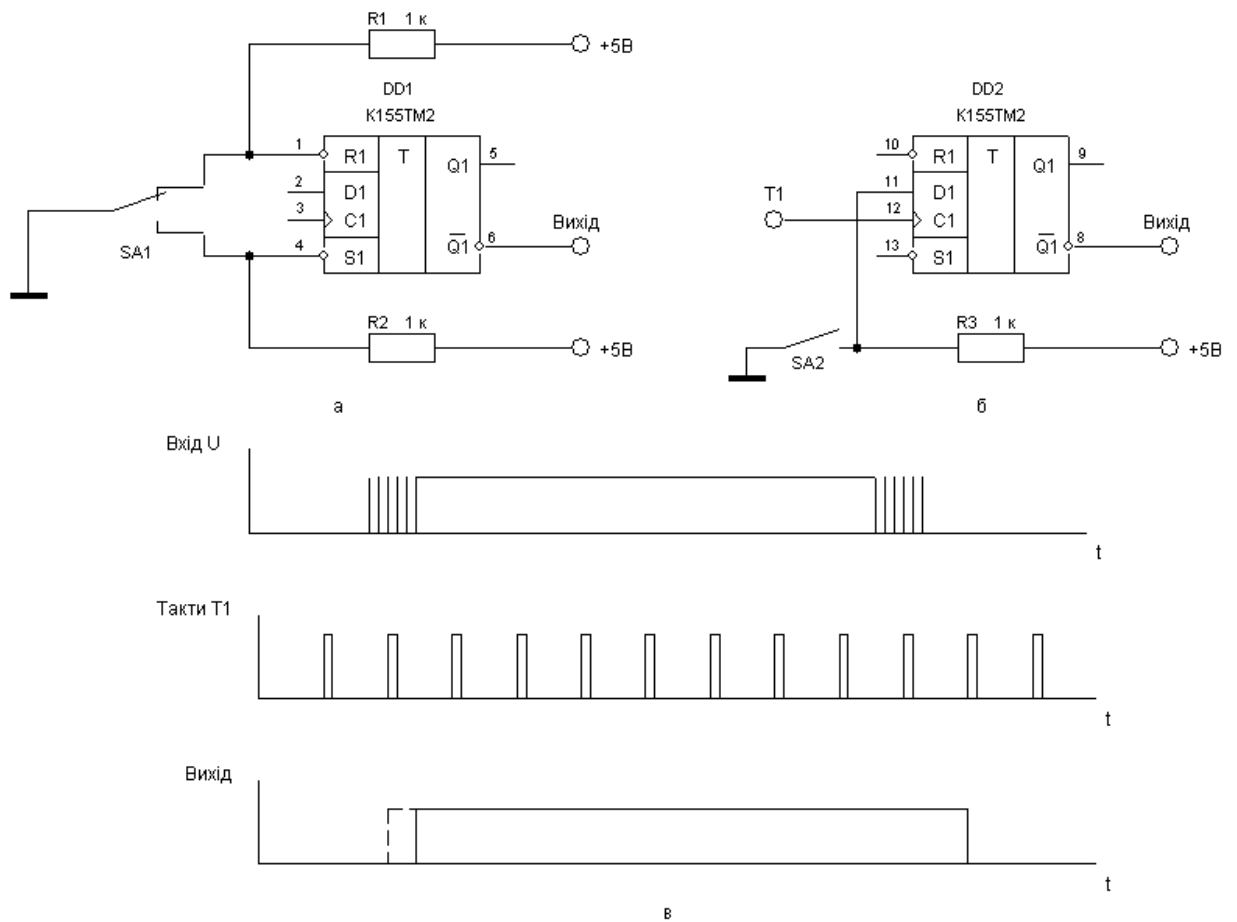


Рисунок 6.2 – Формувачі сигналів і часова діаграма формувача

Для другого формувача потрібний один резистор R3 і однопровідна лінія, але додатково потрібна подача тактових імпульсів. Перевагою другого способу є тимчасова прив'язка моменту появи вихідного сигналу з внутрішніми процесами пристрою, для якого цей сигнал формується, при цьому як тактові імпульси використовуються вже наявні в пристрої сигнали.

Формування кодових сигналів виконується в кодуючих пристроях. Додатковими функціями кодуючого пристрою є: формування сигналу «Готовий» для управління перезаписом сформованого коду; блокування роботи при одночасному натисненні декількох клавіш і захист від брязкоту.

Кодуючий пристрій, функціональна схема якого показана на рис. 6.3, містить: клавіатуру введення КЛ; кодуючий блок КБ; вузол захисту і формування вихідних сигналів ФС. Найбільшого поширення набули комбінаційні кодуючі пристрої і пристрої із сканованою клавіатурою.

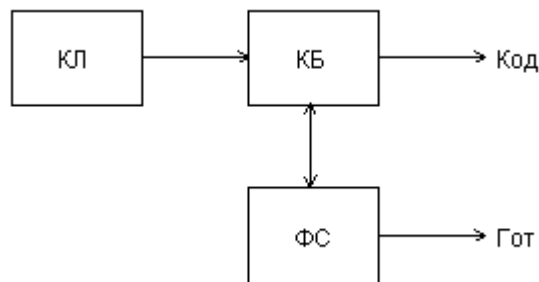


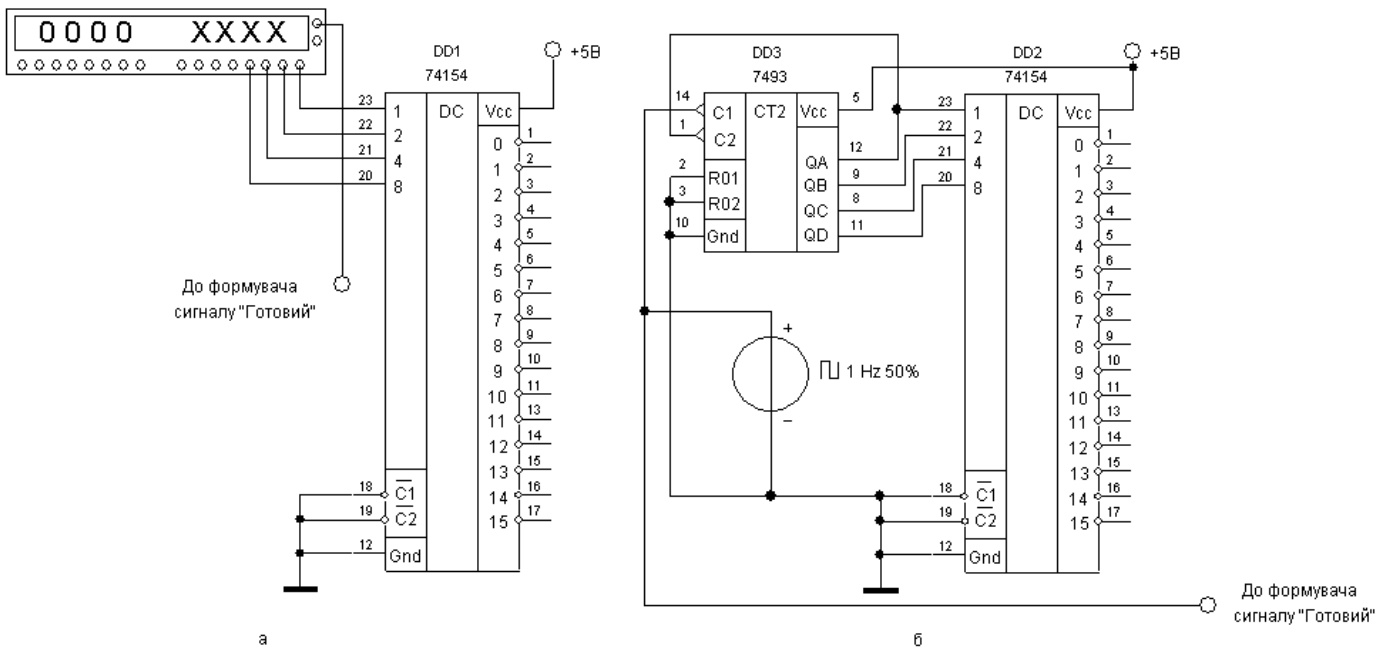
Рисунок 6.3 – Структурна схема кодуючого пристрою

1.3 Блок кодування комбінаційного типу

Комбінаційний кодуючий пристрій формує 16 чотирирозрядних кодів.

Шістнадцяти кнопочка клавіатура імітується дешифратором з 4 в 16. Перебір вхідної інформації здійснюється за допомогою генератора слів або двійково-десятькового лічильника (рис. 6.4).

Таблиця формування кодів дозволяє побудувати рівняння перетворення десяткового коду дешифратора в двійковий код.



а – управління дешифратором за допомогою генератора слів;

б - управління дешифратором за допомогою двійково-десятьового лічильника

Рисунок 6.4 – Пристрої, що імітують роботу шістнадцяти клавійної клавіатури

Виходи дешифратора інверсні, отже перетворювач коду можна побудувати на елементах І-НІ. Кодуючий блок в пристрої утворюють чотири елементи І-НІ (рис. 6.5).

Вузол ФС пристрою включає чотири D-тригера, такт яких задається генератором. З «натисненням» будь-якої з клавій клавіатури введення вихідні сигнали з елементів І-НІ утворюють відповідний чотирирозрядний код. Інформація записується в буферний регістр на D-тригерах і формується сигнал «Готовий» (рис. 6.6). Тригери DD1-DD4 встановлюються в одиничний стан по фронту сигналу генератора і скидаються після закінчення такту.

1.3 Кодуючий пристрій із сканованою клавіатурою

Кодуючий пристрій на основі сканованої матриці формує до 16 восьмирозрядних двійкових кодів від клавіатури введення, що має відповідне число перемикачів.

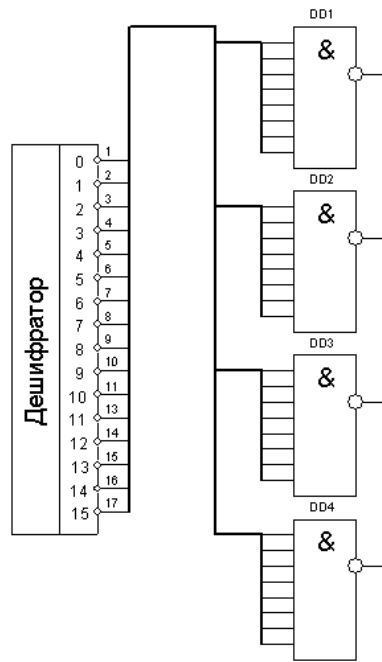


Рисунок 6.5 – Перетворювач десяткового коду дешифратора в двійковий код

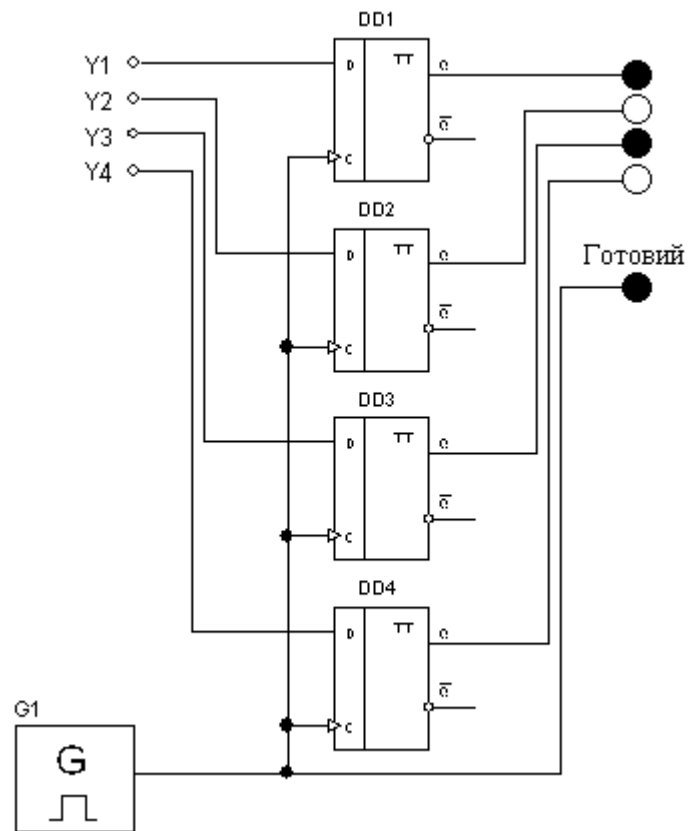


Рисунок 6.6 – Блок формування вихідних сигналів

Особливість пристрою – матричне (4 рядки на 4 стовпці) включення перемикачів в блоці клавіатури і відповідна організація блоку сканування цієї матриці. Термін «сканування клавіатури» означає послідовний опит станів всіх її елементів. Пристрій містить: блок сканування (рис. 6.7) (послідовно включені чотирирозрядний двоичний лічильник, шістнадцяти входовий мультиплексом), формувач сигналу «Готовий».

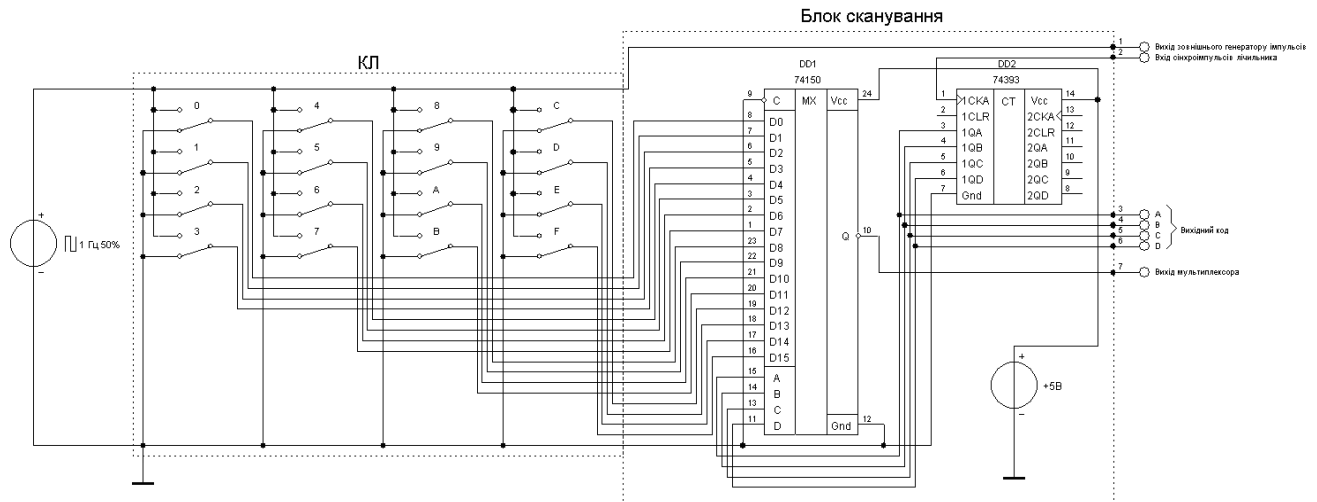


Рисунок 6.7 - Клавіатура з блоком сканування

У пристрої 16 виходів клавіатури введення підключено до 16 входів мультиплексора. У основному режимі лічильник працює від зовнішніх тактів. Для кожного із станів лічильника мультиплексором виробляє опит стану (натиснутий – віджятий) відповідного контакту клавіатури введення. У момент опиту контакту, який натиснутий, на виході мультиплексора виробляється сигнал високого рівня, готуючий тригер для установки в 1 по зрізу вхідного такту. З появленим сигналу «Гот» припиняється подача тактів на лічильник, а стан лічильника відповідає значенню вихідного коду пристрою (рис. 6.8). З віджиманням клавіші КЛ пристрій повертається у первинний стан.

Перевагами пристрою із скануємою клавіатурою КЛ в порівнянні з комбінаційним являються: менші апаратні витрати, скорочення міжелементних зв'язків, наявність захисту від формування помилкового коду при одночасному натисненні декількох клавіш КЛ.

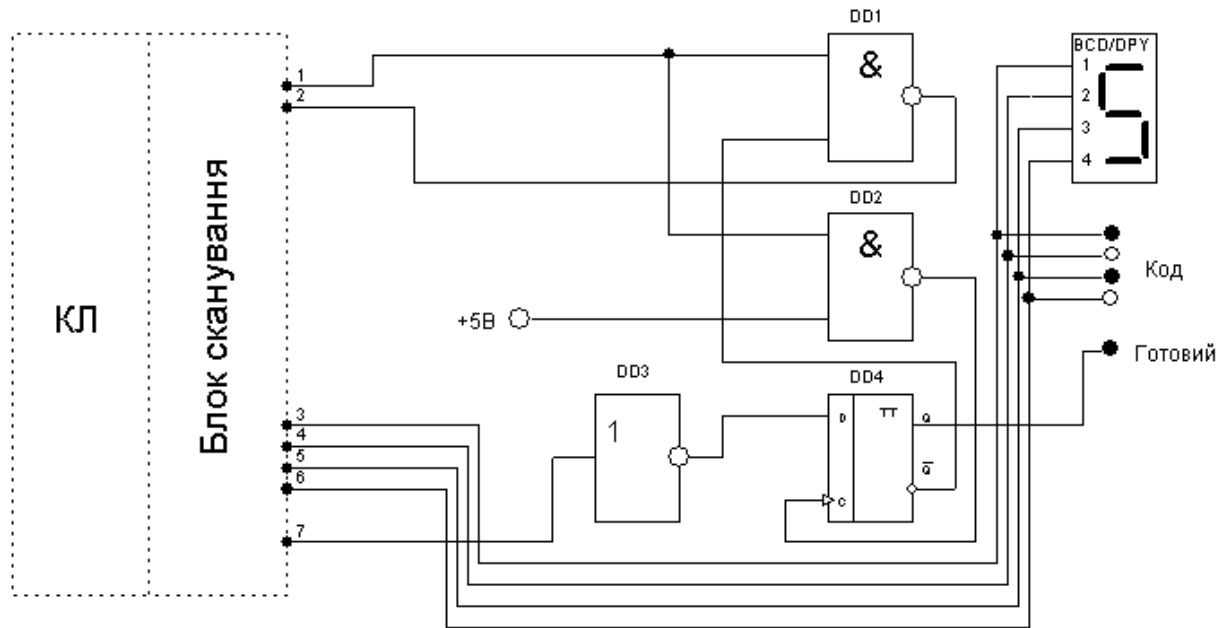


Рисунок 6.8 – Блок формування сигналу «Готовий» і виводу інформації

1.4 Кодуючий пристрій на основі сканованої матриці

Кодуючий пристрій на основі сканованої матриці формує до 256 восьмирозрядних двійкових кодів від клавіатури введення, що має відповідне число перемикачів. Особливість пристрою – матричне, наприклад в 4 рядки на 4 стовпці, включення перемикачів в блоці клавіатури і відповідна організація блоку сканування цієї матриці.

Блок сканування утворюють дешифратор і мультиплексор (рис. 6.9). Їх адресні входи підключені до відповідних розрядних виходів лічильника. Сканування забезпечується послідовним опитуванням чотирьох рядків матриці вихідними сигналами з дешифратора і пошуком мультиплексором клавіші натискання у всіх чотирьох місцях для кожного з цих рядків.

Після того, як шляхом сканування визначена натиснута клавіша, виробляється сигнал «Готовий» (рис.6.10). При цьому лічильник обнуляється і знов відбувається сканування до натиснутої клавіші.

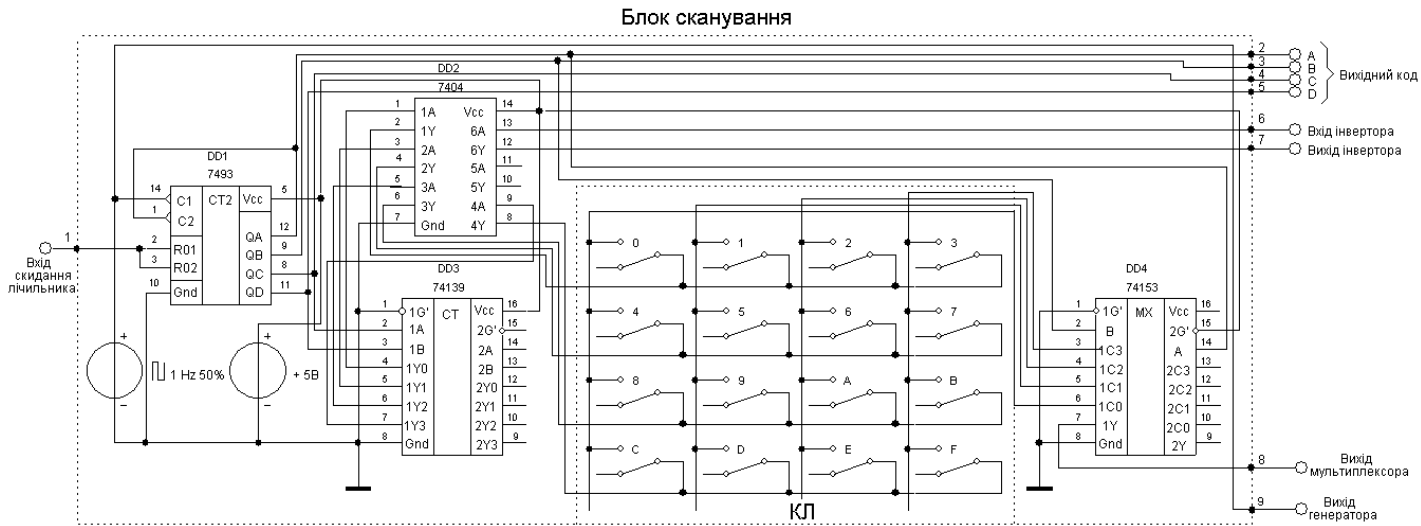


Рисунок 6.9 – Клавіатура з блоком сканування

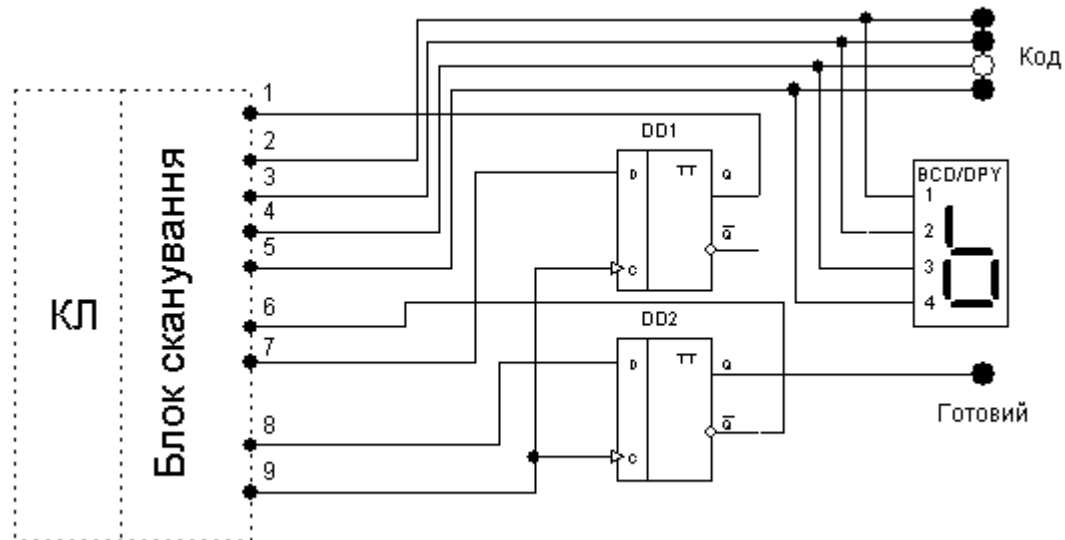


Рисунок 6.10 - Блок формування сигналу «Готовий» і виводу інформації

2. Завдання до виконання лабораторної роботи

1. Побудувати і досліджувати схему блоку кодування інформації комбінаційного типу.
2. Побудувати і досліджувати схему блоку кодування інформації із сканованою клавіатурою.
3. Побудувати і досліджувати схему блоку кодування інформації на основі сканованої матриці.

4. Провести аналіз схем за допомогою отриманих діаграм функціонування.
5. Зробити розгорнутий аналітичний висновок.

3. Зміст звіту

Мета роботи.

Таблиці і рівняння функціонування розрахункових блоків.

Схеми перетворювачів код.

Діаграми функціонування перетворювачів код.

Висновок

4. Контрольні питання

1. Формування сигналів за допомогою клавіатури
2. Необхідність формування сигналу готовності.
3. Побудова перетворювача кодів.
4. Призначення і принципи функціонування дешифратора.
5. Призначення і принципи функціонування лічильника.
6. Призначення і принципи функціонування мультиплексора.
7. Принципи побудови блоків сигналу «Готовий».

Література

1. Цифрова схемотехніка: Підручник [Текст] / [Верьовкін Л.Л., Світанько М.В., Кісельов Є.М., Хрипко С.Л.]. – Запоріжжя: ЗДІА, 2016. – 214 с.
2. Цифровая схемотехника [Текст] / Е.П. Угрюмов. – СПб.: БХВ – Санкт-Петербург, 2000. – 528 с.
3. Основи схемотехніки електронних систем: Підручник [Текст] / [Бойко В.І., Гуржій А.М., Жуйков В.Я. та ін]. – К.: Вища шк., 2004. – 527 с.
4. Мікросхемотехніка: Підручник [Текст] / [Гельжинський І.І., Голяка Л.Р., Готра З.Ю., Марусенкова Т.А.]. – Львів: Ліга-Прес, 2015. – 492 с.

Дослідження схем порівняння багаторозрядних чисел

Мета роботи: вивчення принципів побудови компаратора і схеми складання по модулю 2, шляхом здійснення наступних дій:

- складання таблиці істинності роботи логічного пристрою;
- складання логічного вираження відповідно до складеної таблиці істинності і його мінімізація;
- складання схеми електричною функціональною пристрою, що синтезується, відповідно до складеного логічного вираження за допомогою програмного застосування Electronics Workbench;
- перевірка працездатності схеми по таблиці істинності за допомогою апаратних засобів програмного застосування Electronics Workbench

1. Основні теоретичні положення

1.2 Аналіз і синтез компаратора і схеми складання по модулю 2

Схеми порівняння, або компаратор, зазвичай будуються як порозрядні. Вони широко використовуються і автономно, і у складі складніших схем, наприклад при побудові суматорів.

Таблиця істинності (табл. 7.1) відображає логіку роботи i -го розряду схеми порівняння, при порівнянні двох векторів — A і B . На рис. 7.1 показана структурна схема компаратора.

Логічна залежність компаратора:

$$Y_i = \overline{a_i b_i} + a_i \overline{b_i} = \overline{a_i b_i} + \overline{a_i \overline{b_i}} = \overline{a_i} \oplus \overline{b_i}$$

Таблиця 7.1 Таблиця істинності компаратора

Входи		Виходи
a_i	b_i	Y_i
0	0	1
0	1	0
1	0	0
1	1	1

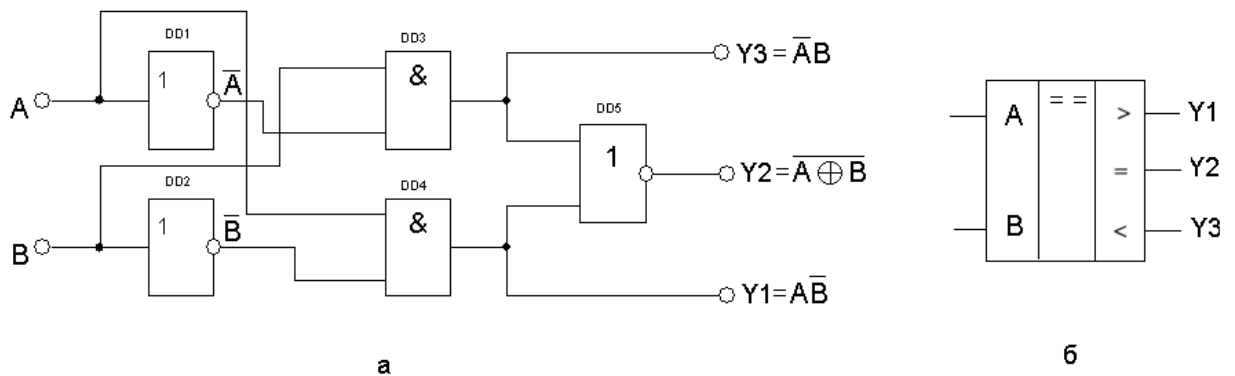


Рисунок 7.1 - Структурна схема компаратора (а) і позначення компаратора на принципових електричних схемах (б)

На схемі (рис. 7.1), окрім виходу $Y2$, що фіксує рівність значень розрядів, показані виходи $Y1$ і $Y3$ відповідні сигналам «більше» і «менше».

Схеми складання по модулю 2 описують логіку двійкової алгебри для одного двійкового розряду.

Таблиця істинності схеми складання по модулю 2 представлена в табл. 7.2 відображає логіку роботи і-го розряду. На рис. 7.2 показана структурна схема складання по модулю 2.

Логічна залежність схеми складання по модулю 2:

$$Y_i = \bar{a}_i b_i \vee a_i \bar{b}_i = a_i \oplus b_i$$

Таблиця 7.2 Таблиця істинності схеми складання по модулю 2

Входи		Виходи
a_i	b_i	Y_i
0	0	0
0	1	1
1	0	1
1	1	0

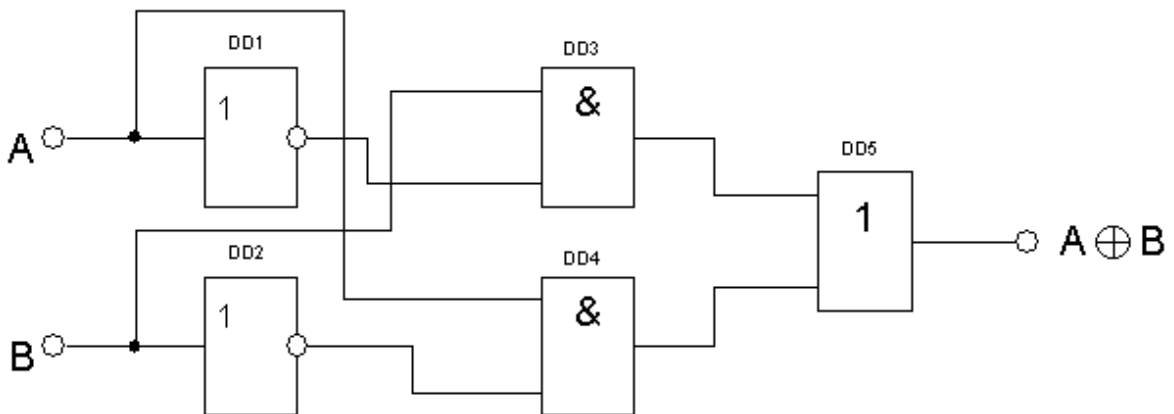


Рисунок 7.2 - Структурна схема складання по модулю 2.

3.2 Синтез електричної функціональної схеми

Синтез полягає в побудові функціональної електричної схеми по ДДНФ з таблично-заданої функції, що описує роботу заданої схеми.

Порівняння багаторозрядних чисел ґрунтується на перевірці рівності цифр чисел. Порівняння багаторозрядних чисел виконують, починаючи із старших розрядів вхідних чисел: A і B. Хай дано два числа $a_3 a_2 a_1 a_0$ і $b_3 b_2 b_1 b_0$. Порівнюються b_3 і a_3 , b_2 і a_2 , b_1 і a_1 , b_0 і a_0 , за результатами порівняння робиться висновок: якщо збіглися і треті цифри, і другі, і перші, і нульові, то числа однакові. Передбачається рівність попередніх, відсутніх старших розрядів, тому на вхід « A= » подається активний сигнал (одиниця),

а на входи « $A>$, $A<$ » подається пасивний сигнал, в нашому випадку логічний рівень. Якщо порівнюються числа з розрядністю більше чотирьох, то виходи компаратора старших розрядів підключаються до однойменних входів компаратора молодших розрядів порівнюваних чисел. Виходами всього багаторозрядного компаратора кодів є виходи компаратора самих молодших порівнюваних розрядів.

При порівнянні двохрозрядних кодів необхідно згідно з таблицею істинності побудувати рівняння функціонування схеми. Рівняння приведені к єдиному елементному базису дозволяють побудувати функціональну схему.

2. Порядок виконання лабораторної роботи

Завдання: Побудувати схему порівняння двохрозрядних чисел з виведенням інформації $A=B$, $A>B$, $A<B$ на світлодіодний індикатор ;

У відповідність із завданням:

- скласти таблицю істинності;
- написати ДДНФ заданої функції;
- накреслити схему електричну функціональну в базисі Буля, Шеффера, Пірсу;

Пірсу;

- накреслити схему електричну функціональну з використанням мікросхем компараторів;

- провести аналіз функціонування схеми.

Змінюючи значення змінних на входах зібраної схеми перевірити працездатність схеми по таблиці істинності. Побудувати часові діаграми функціонування розрахованої схеми.

У випадку неспівпадання результатів знайти помилку і усунути її. Після усунення помилкових з'єднань знову перейти до перевірки працездатності схеми у відповідність з таблицею істинності.

3. Зміст звіту

Мета роботи.

Таблиці і рівняння функціонування розрахункових блоків.

Схеми порівняння двохрозрядних чисел.

Діаграми функціонування.

Висновок

4. Контрольні питання

1. Правило те, що «Виключає АБО».
2. Функціонування цифрового компаратора.
3. Функціонування схеми складання по модулю 2.
4. Використання схем порівняння багаторозрядних чисел.
5. Принципи побудови схем порівняння багато розрядних чисел.
6. Діаграми функціонування.

Література

1. Цифрова схемотехніка: Підручник [Текст] / [Верьовкін Л.Л., Світанько М.В., Кісельов Є.М., Хрипко С.Л.]. – Запоріжжя: ЗДІА, 2016. – 214 с.
2. Чье Ен Ун. Электроника. Цифровые элементы и устройства: Учеб. пособ. [Текст] / Чье Ен Ун. – Хабаровск: Изд-во Хабар. гос. техн. ун-та, 2002. – 97 с.
3. Потемкин И.С. Функциональные узлы цифровой автоматики [Текст] / И.С Потемкин. – М.: Энергоатомиздат, 1988. – 320 с.
4. Бойт К. Цифровая электроника [Текст] / К. Бойт. - М.: Техносфера, 2007. – 472 с.

Лабораторна робота № 8

Дослідження постійних запам'ятовуючих пристроїв

Мета роботи: вивчити принципи побудови і функціонування ПЗП.

1. Короткі теоретичні відомості

Постійні запам'ятовуючі пристрої призначені для зберігання одноразово записаної до них інформації, яка має зберігатися навіть за умов знеструмування комп'ютеру. Такою інформацією є, наприклад, дані і програми, потрібні для завантаження операційної системи та керування роботою зовнішніх пристроїв комп'ютеру (BIOS). Таким чином, постійний запам'ятовуючий пристрій – це пам'ять комп'ютера, призначена для зберігання службових програм і даних, які не можуть бути змінені у процесі його роботи.

Для позначення ПЗП застосовується аббревіатура ROM, яка відображає функціональне призначення ПЗП: (Read-Only Memory) – пам'ять тільки для читання.

Постійні запам'ятовуючі пристрої мають більше варіантів побудови ніж оперативні. Мікросхеми пам'яті розташовуються на системній платі комп'ютера, на платі контролерів зовнішніх пристроїв, відеоадаптера та взагалі у контролерах усіх пристроїв комп'ютера, що мають власні керуючі процесори (мікроконтролери). Усі ПЗП є енергонезалежними.

1.1 Класифікація та характеристики сучасних ПЗП

За способом організації доступу до пам'яті ПЗП – це пристрої з безпосереднім (довільним) доступом.

За методом пошуку необхідного слова (необхідної ділянки) – це адресні пристрої (тобто інформація відшукується за вказаною адресою).

По типу фізичного середовища, яке здійснює зберігання інформації, ПЗП, як правило є напівпровідниковими пристроями.

За способом зберігання інформації ПЗП мають статичну пам'ять.

За способом запису (перезапису) інформації ПЗП можна класифікувати згідно рис. 8.1.

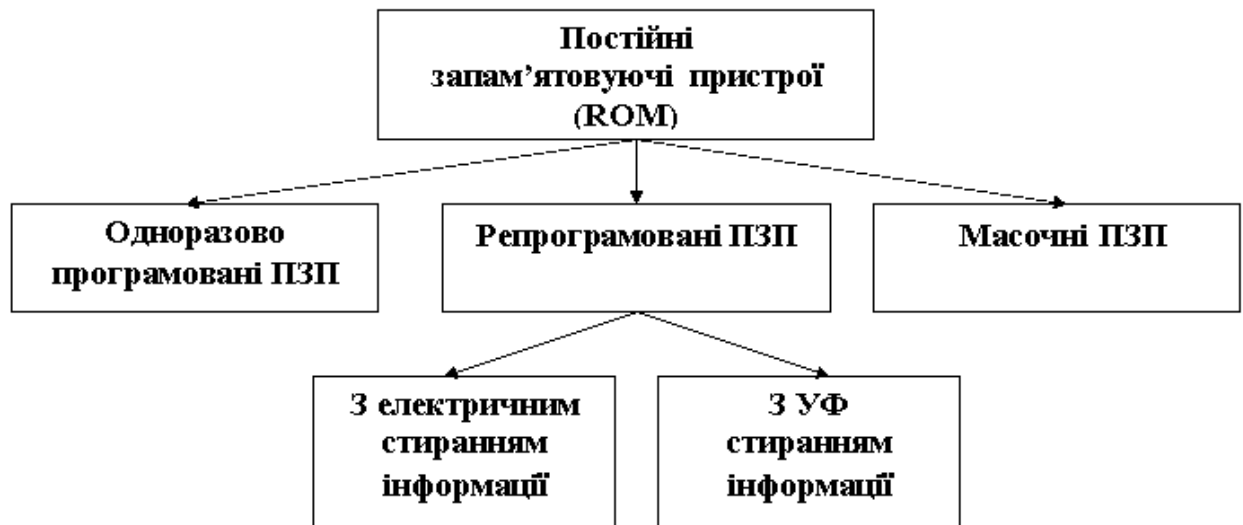


Рисунок 8.1 - Класифікація ПЗП за способом запису (перезапису) інформації

Основними характеристиками мікросхем постійної пам'яті є:

1. Ємність (обсяг пам'яті). Загальна ємність мікросхеми пам'яті це добуток глибини адресного простору (Depth Adress – кількість біт інформації, яке зберігається в комірках кожної матриці) на кількість ліній вводу/виводу (розрядів). Для сучасних ПЗП, в залежності від призначення цей показник може змінюватися в широких межах від декількох Кбайт до декількох Гбайт (FLASH пам'ять).

2. Розрядність. Нагадаємо, що цей показник визначається кількістю бітів розміщених в комірках пам'яті.

3. Швидкодія. Визначається часом доступу для операцій запису або читання інформації. Для сучасних ПЗП він складає одиниці-десятки мкс.

4. Часова діаграма. (або кількість тактів, які необхідні МП для виконання операцій запису або зчитування даних. Читання даних з ПЗП, звичайно, потребує двох тактів.

5. Кількість циклів запису – стирання (для РПЗП). До 106.

6. Час стирання мікросхеми. Менше 10 мс (для EEPROM).
7. Надійність. Інформація може зберігатися десятки років.

1.2 Маскові постійні запам'ятовуючі пристрої

Самі прості з ПЗП - маскові. Головною властивістю маскових ПЗП є те, що інформація до них записується ще на етапі виготовлення кристалу мікросхеми пам'яті. Для цього використовують спеціальні маски (шаблони), які визначають порядок з'єднань між елементами пам'яті на напівпровідниковому кристалі. Зрозуміло, що таким чином не варто виготовляти декілька сотень мікросхем – мова йде про дійсно великі партії. Саме так виготовляють пам'ять для застосування у автоматах з жорсткою логікою (на зразок пральних машин або відеоплеєрів), для запису програм управління роботою клавіатури, монітора, для використання у якості таблиці знакогенератора матричного принтера, навіть деякі з перших програм керування роботою системної плати EOM – BIOS, були записані до мікросхем такого типу ПЗП.

Розглянемо більш детально побудову модулів маскових ПЗП. На рис. 8.2 зображено УГП ПЗП на вісім однорозрядних комірок.

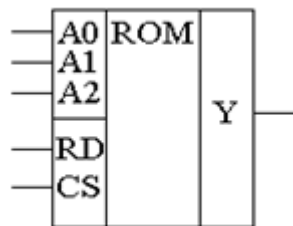


Рисунок 8.2 – УГП мікросхеми ПЗП

Запис конкретного біта в однорозрядну комірку здійснюється підключенням дроту до джерела живлення (запис одиниці) або підключенням дроту до корпусу (запис нуля). Адреси комірок пам'яті в цій мікросхемі подаються на виводи A0 ... A2. Мікросхема вибирається сигналом CS. Читання мікросхеми відбувається сигналом RD.

Для збільшення розрядності комірки пам'яті ПЗП ці мікросхеми з'єднують паралельно. Схема паралельного з'єднання однорозрядних ПЗП приведена на рис. 8.3.

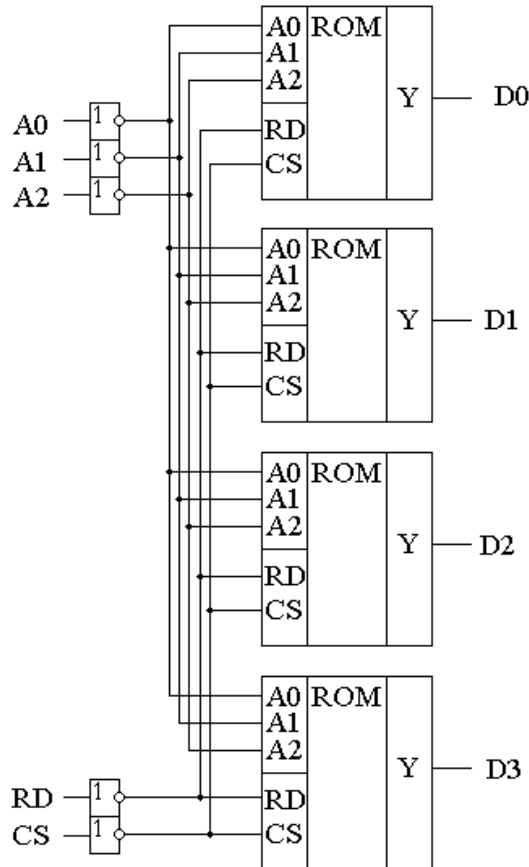


Рисунок 8.3 - Схема багаторозрядного ПЗП

Для зменшення об'єму схеми дешифратора, необхідного для роботи ПЗП, застосовують мультиплексор, що виконує і функцію вибору стовпчика матриці елементів, і забезпечує читання інформації шляхом комутації вибраного стовпчика з виходом схеми. Вибір рядка, як звичайно, виконується дешифратором. Така структура має назву 2DM і зображена на рис. 8.4.

1.3 Програмувальні постійні запам'ятовуючі пристрої

Більш складний варіант – одноразово програмовані ПЗП. Ця мікросхема має практично ту ж саму структуру, що й масочні ПЗП, але у неї є одна дуже суттєва відмінність: вона виготовляється виробниками "порожньою" і

розробники різноманітної комп'ютерної техніки можуть записувати інформацію до неї самостійно (звичайно за умов наявності спеціального обладнання).

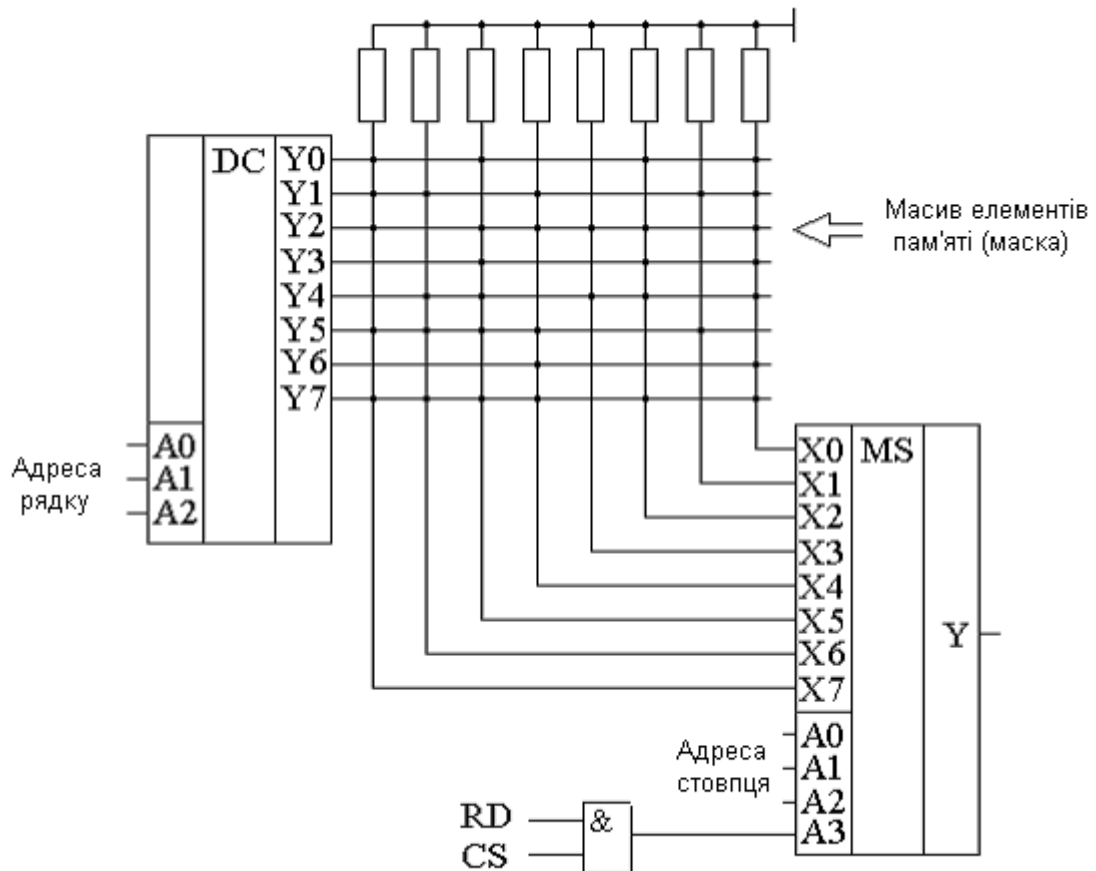


Рисунок 8.4 - Схема маскового постійного запам'ятовуючого пристрою (структура 2DM)

Програмування таких ПЗП відбувається шляхом електричного перепалення перемичок у мікросхемі або шляхом випалення керуючого переходу у транзисторах. Зрозуміло, що єдиний шлях виправити помилку програмування такого ПЗП – це викинути його у смітник і "пропалити" новий. Такі мікросхеми називаються програмовані ПЗП (ППЗП) і зображаються на принципових схемах як показано на рис. 8.5.

Програмовані ПЗП виявилися дуже зручними для малосерійного і середньосерійного виробництва. Але ж при розробці радіоелектронних пристроїв часто приходиться змінювати записану в ПЗП програму. Тому з'явився наступний варіант ПЗП – репрограмовані, які дозволяють багаторазово

зово змінювати записану у ПЗП інформацію за умов попереднього стирання старої.

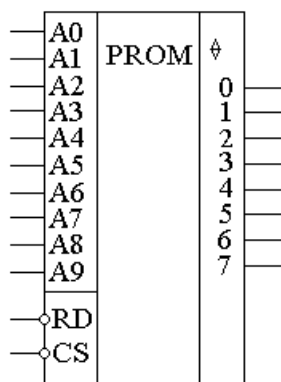


Рисунок 8.5 - УГП ПЗП

1.4 Репрограмовані постійні запам'ятовуючі пристрої

В залежності від методу стирання старої інформації розрізняють репрограмовані ПЗП з електричним та ультрафіолетовим стиранням (ПЗП типу EPROM та EEPROM).

Мікросхеми з ультрафіолетовим стиранням – EPROM використовують явище зміни структури польового переходу при впливі на нього доволі високою напругою. Ці зміни зберігаються протягом досить тривалого часу. При цьому можливе стирання записаної інформації шляхом опромінення кристалу мікросхеми пам'яті через спеціальний отвір у вигляді скляного віконця. Таки ПЗП застосовували у перших поколіннях різноманітних контролерів заради надання можливості модернізації програм, записаних до них.

Комірка пам'яті репрограмованого ПЗП (рис. 8.6) являє собою МОН - транзистор, в якому затвор виконується із полікристалічного кремнію. Потім в процесі виготовлення мікросхеми цей затвор окислюється і в результаті він буде оточений оксидом кремнію – якісним діелектриком. В такій комірці при повністю стертому ПЗП заряду в плаваючому затворі немає, і тому транзистор струм не проводить.

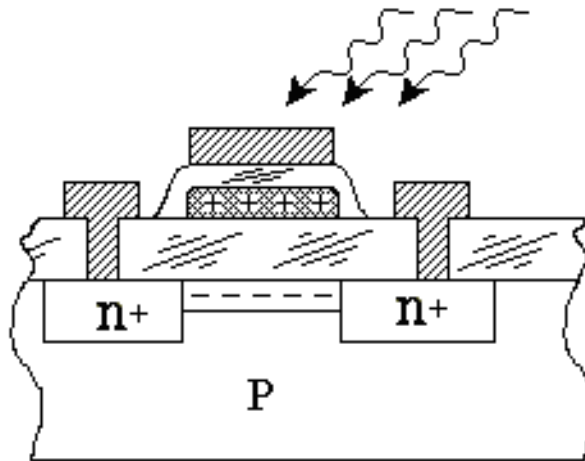


Рисунок 8.6 - Комірка пам'яті ПЗП з ультрафіолетовим та електричним стиранням

При програмуванні мікросхеми на другий затвор, який знаходиться над плаваючим затвором, подається висока напруга і в плаваючий затвор за рахунок тунельного ефекту індукуються заряди. Після зняття програмуючої напруги на плаваючому затворі індукований заряд залишається, тобто транзистор залишається в провідному стані. Заряд на плаваючому затворі може зберігатися десятки років.

Структурна схема даного ПЗП не відрізняється від попереднього масочного ПЗП. Єдине, що замість перемички використовується описана вище комірка. При опромінюванні мікросхеми, ізолюючі властивості оксиду кремнію втрачаються і заряд із плаваючого затвора витікає в об'єм напівпровідника і транзистор запам'ятовуючої комірки переходить в закритий стан. Час стирання мікросхеми коливається в межах 10 – 30 хвилин. Кількість циклів запису - стирання знаходиться в діапазоні від 10 до 100 разів, після чого мікросхема виходить з ладу. Репрограмовані ПЗП зображуються на принципових схемах як показано на рис. 8.7.

Мікросхеми з електричним стиранням - EEPROM (УГП зображено на рис. 8.8) використовують той самий ефект, що й ПЗП з ультрафіолетовим стиранням, але стирання відбувається за допомогою імпульсу відносно високої напруги на відповідний вхід мікросхеми.

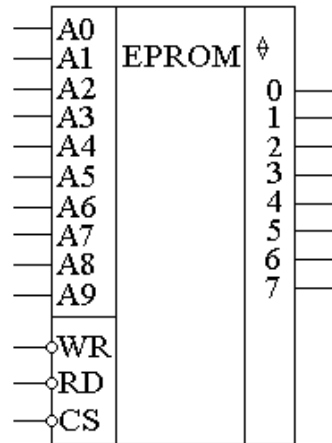


Рисунок 8.7 - УГП РПЗП

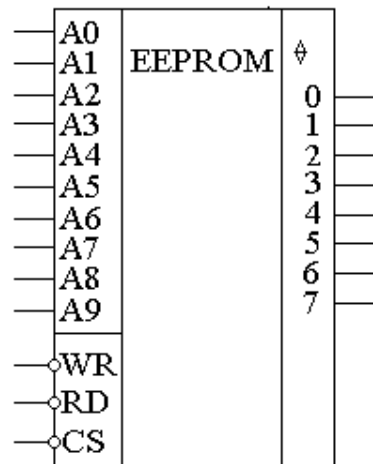


Рисунок 8.8 - УГП ПЗП з електричним стиранням

У багатьох ПЗП цього типу навіть передбачена часткова заміна інформації. Такі мікросхеми знайшли своє застосування там же де й мікросхеми з ультрафіолетовим стиранням. Але треба прийняти до уваги, що вони значно дорожчі ніж останні.

1.5 FLASH пам'ять

Зараз набув дуже широкого розповсюдження новий клас ПЗП з електричним стиранням, який отримав назву флеш-пам'яті (від англійського flash – спалах, блискавка). Його в певній мірі можна розглядати як симбіоз ОЗП та

ПЗП, через те, що він має швидкодію, що наближується до показників ОЗП, і в той же час є енергонезалежним ЗП EEPROM (УГП зображено на рис. 8.9).

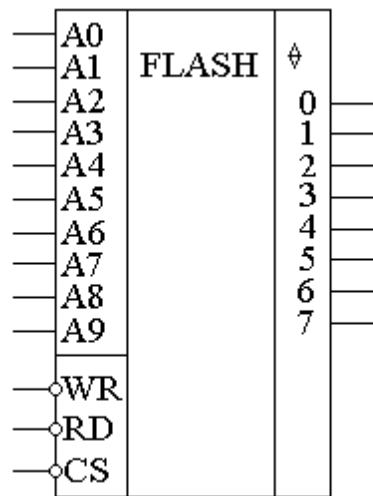


Рисунок 8.9 - УГП FLASH- пам'яті

Комірки пам'яті у ОЗП та ПЗП мають вигляд двомірного масиву, що дозволяє читати і писати кожен біт окремо. На відміну від них, флеш-пам'ять, яка вперше була запропонована компанією TOSHIBA виготовлена у вигляді блоків місткістю від 512 б до 256 Кб. Такі блоки записуються та стираються за один машинний такт, через що вони працюють набагато швидше ніж ПЗП з електричним стиранням. Крім того, для запису даних до флеш-пам'яті не потрібна додаткова напруга, що дає змогу робити це там, де вона встановлена. В той же час для запису ПЗП з електричним стиранням потрібне спеціальне обладнання. Нажаль цей тип пам'яті не придатний для використання у якості ОЗП, якщо передбачається побайтовий запис інформації. Справа в тому, що для зміни одного байту потрібно переписати в буфер увесь блок, де утримується цей байт, потім стерти зміст блоку, змінити зміст байта, після чого провести запис зміненого в буфері блоку. Така схема значно знижує швидкість запису невеликих об'ємів інформації в довільні ділянки пам'яті, але ж значно збільшує швидкодію при послідовному запису даних великими порціями. Її життєвий цикл суттєво менший за цикл мікросхем ОЗП – усього лиш 100-300 тисяч циклів перезапису. Флеш-пам'ять використовують для за-

пису програми BIOS (таким чином спрощується її модернізація – upgrade), там де неможливо використовувати накопичувачі на жорстких дисках. Цей тип пам'яті випускають у вигляді так-званих флеш-карт з обсягом до одиниць Гб, які застосовуються у сучасних кишенькових комп'ютерах, цифрових фотокамерах та диктофонах, електронних органайзерах.

1.5.1 Організація FLASH пам'яті

Комірка FLASH- пам'яті складається із МОН транзистора з плаваючим затвором, тобто за технологією виготовлення подібна комірки пам'яті EPROM та EEPROM ПЗП. Але ж за рахунок застосування надтонкого шару діелектрика запис та стирання (інжекція заряду методом CHE (channel hot electrons) або його екстракція методами тунелювання) здійснюється без застосування підвищених напруг. Одна комірка зберігає один біт інформації (в сучасних розробках два, так звані багаторівневі комірки MLC) і, як правило, наявність заряду сприймається як логічний 0, відсутність як логічна 1.

При читанні, в відсутності заряду на плаваючому затворі, під дією додатного поля на керуючому затворі, утворюється n-канал між витком і стоком, і виникає струм (логічна 1). При наявності заряду канал не з'являється і струм не виникає (логічний 0).

1.5.2 Архітектура (організація з'єднань між комірками) FLASH пам'яті

Найбільш розповсюдженими на даний момент є мікросхеми з організацією NOR і NAND.

Архітектура NOR (NOT OR, АБО-НІ).

Кожна комірка підключена до двох перпендикулярних ліній – бітів (bit line) та слів (word line) (рис. 8.10). Усі комірки пам'яті NOR, згідно правилам, підключені до своїх бітових ліній паралельно. Суть логічної операції NOR – в переході лінії бітів у стан 0, якщо хоча б один з транзисторів-комірок, приєднаних до неї, проводить струм. Селекція комірки здійснюється за допомогою

лінії слів. Інтерфейс паралельний. Довільне читання та запис. Швидкий довільний доступ, можливість запису побайтно. Відносно повільний запис і стирання.

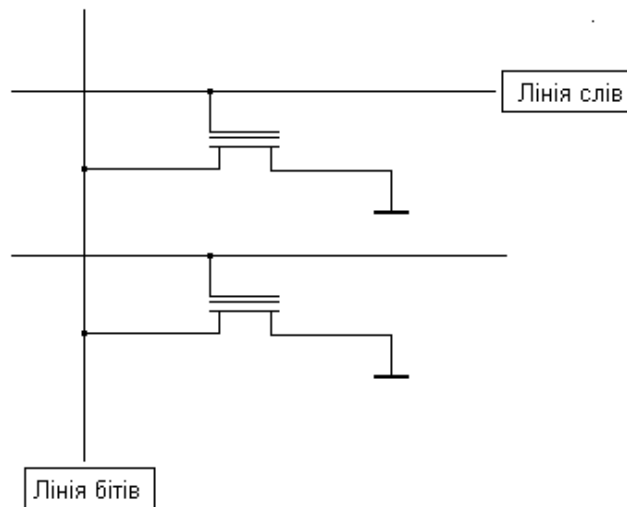


Рисунок – 8.10 - Структура комірки FLASH- пам'яті

Архітектура NAND (NOT AND, I-II).

В цьому випадку бітова лінія переходить у стан 0, якщо всі транзистори, які підключені до неї проводять струм. Комірки приєднуються до бітової лінії серіями, що знижує швидкість операції читання (зменшується струм кожної комірки), але ж підвищується швидкість стирання та програмування. Для зменшення негативного ефекту низької швидкості читання, чіпи NAND мають внутрішній регістровий кеш. В цій архітектурі більш компактна упаковка ніж в паралельній архітектурі NOR.

Інтерфейс послідовний. Швидкий запис та стирання, невеликий розмір блока. Повільний довільний доступ, але ж невеликими блоками. Немає можливості запису побайтно.

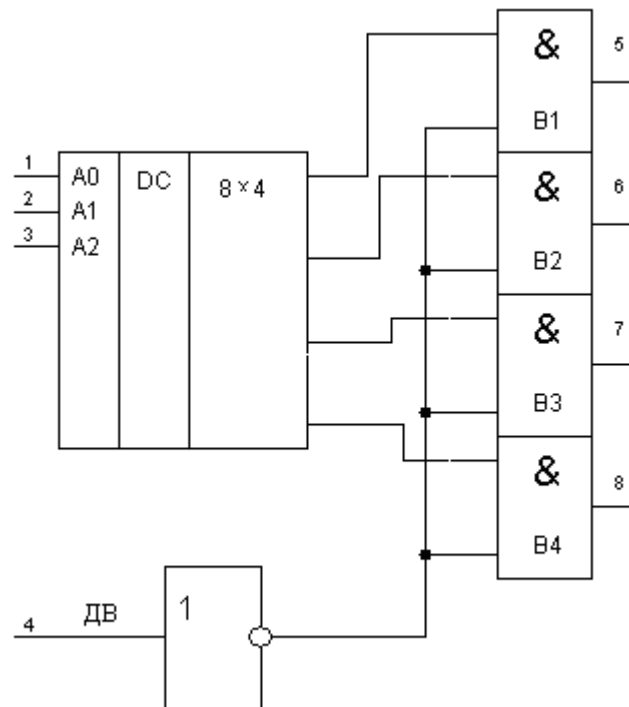
Архітектури AND (I), DINOR (DIVIDED BIT-LINE NOR, АБО-НІ з розділеними розрядними лініями).

Типи пам'яті, які комбінують найкращі властивості властивостей NOR і NAND. Невеликий розмір блоку, мультиблочне стирання, зберігає комірки від перепалення.

Постійні запам'ятовуючі пристрої (ПЗП) є важливою частиною мікропроцесорних систем (МПС). Вони призначені для зберігання та читання інформації, яка використовується процесором. Постійна пам'ять є енергонезалежною, тобто інформація в ПЗП не зникає після знеструмлення комп'ютера. Область використання ПЗП – це BIOS, карти пам'яті. ПЗП, постійно вдосконалюються на технологічному, апаратному, архітектурному рівнях.

2. Розрахункові завдання для виконання роботи

Побудувати постійний запам'ятовуючий пристрій, що імітує роботу мікросхеми ПЗП (рис. 8.11), відповідно до функціональної схеми (рис. 8.12).



- | | |
|------------------------------|---------------|
| 1 – Вхід адресний A0; | 5 - Вихід B1 |
| 2 – Вхід адресний A1; | 6 - Вихід B2; |
| 3 – Вхід адресний A2; | 7 - Вихід B3; |
| 4 – Вхід дозволу вибірки ДВ; | 8 – Вихід B4 |

Рисунок 8.11 – Постійний запам'ятовуючий пристрій

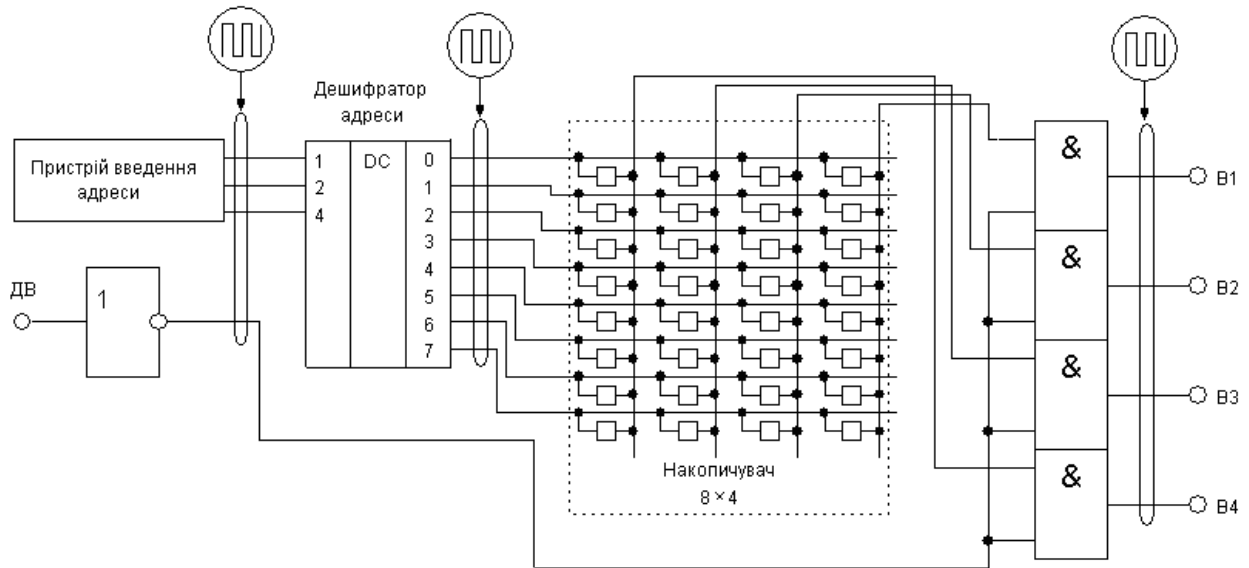


Рисунок 8.12 – Функціональна схема ПЗП

2.1 Пристрій введення інформації (коду адреси)

Як пристрій введення, для визначення адреси використовувати кнопкові перемикачі і Word Generator (з інструментарію програмного застосування EWB), для імітації коду клавіатури.

1. Сигнал за допомогою кнопкових перемикачів формується шляхом замикання – розмикання ними електричного ланцюгу (рис. 8.13).

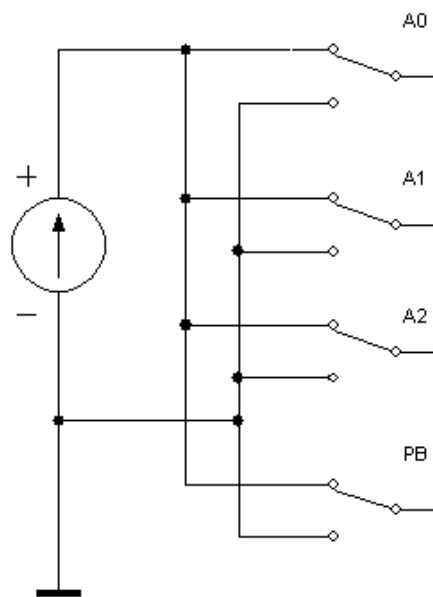


Рисунок 8.13 – Введення адреси за допомогою кнопкових перемикачів

Це дозволяє виконати відладку схеми ПЗП для подальшої автоматизації введення інформації (коду адреси).

2. На подальшому етапі використовується Word Generator (рис. 8.14), що дозволяє побудувати діаграми функціонування елементів ПЗП. Кодування виконати згідно з рис. 8.15. Частота опиту адрес 1 Гц. Word Generator дозволяє провести перебір адрес ПЗП в ручному і циклічному режимах.

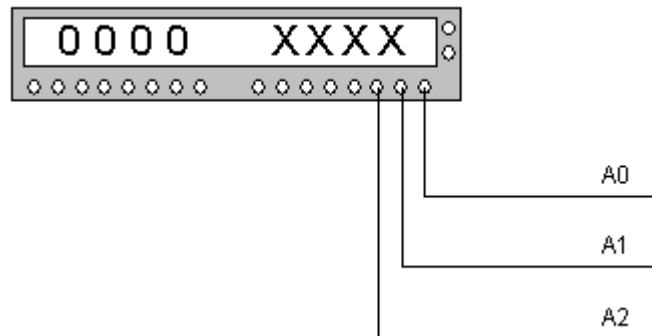


Рисунок 8. 14 - Введення адреси за допомогою Word Generator

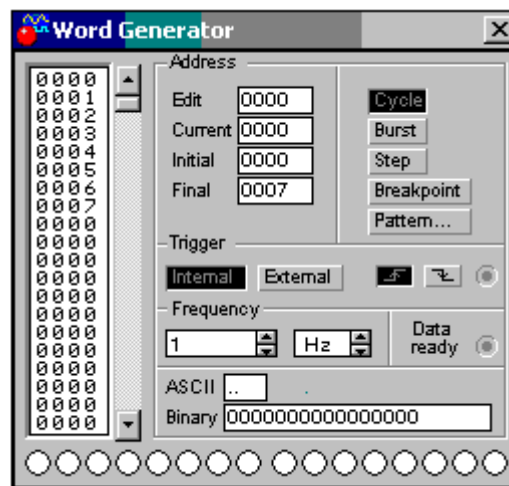


Рисунок 8.15 - Програмування Word Generator

Діаграма функціонування схеми введення адрес ПЗП представлена на рис. 8.16. Діаграми можуть бути отримані за допомогою інструментарію EWB Logic Analyzer або Oscilloscope, для подальшого аналізу функціонування схеми (рис. 8.17).

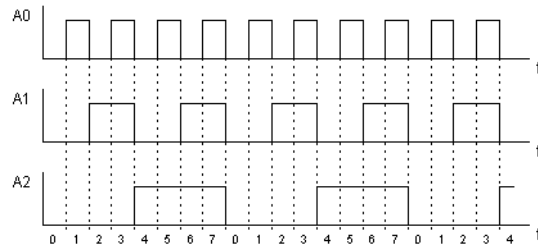


Рисунок 8.16 - Діаграма функціонування схеми введення адрес ПЗП

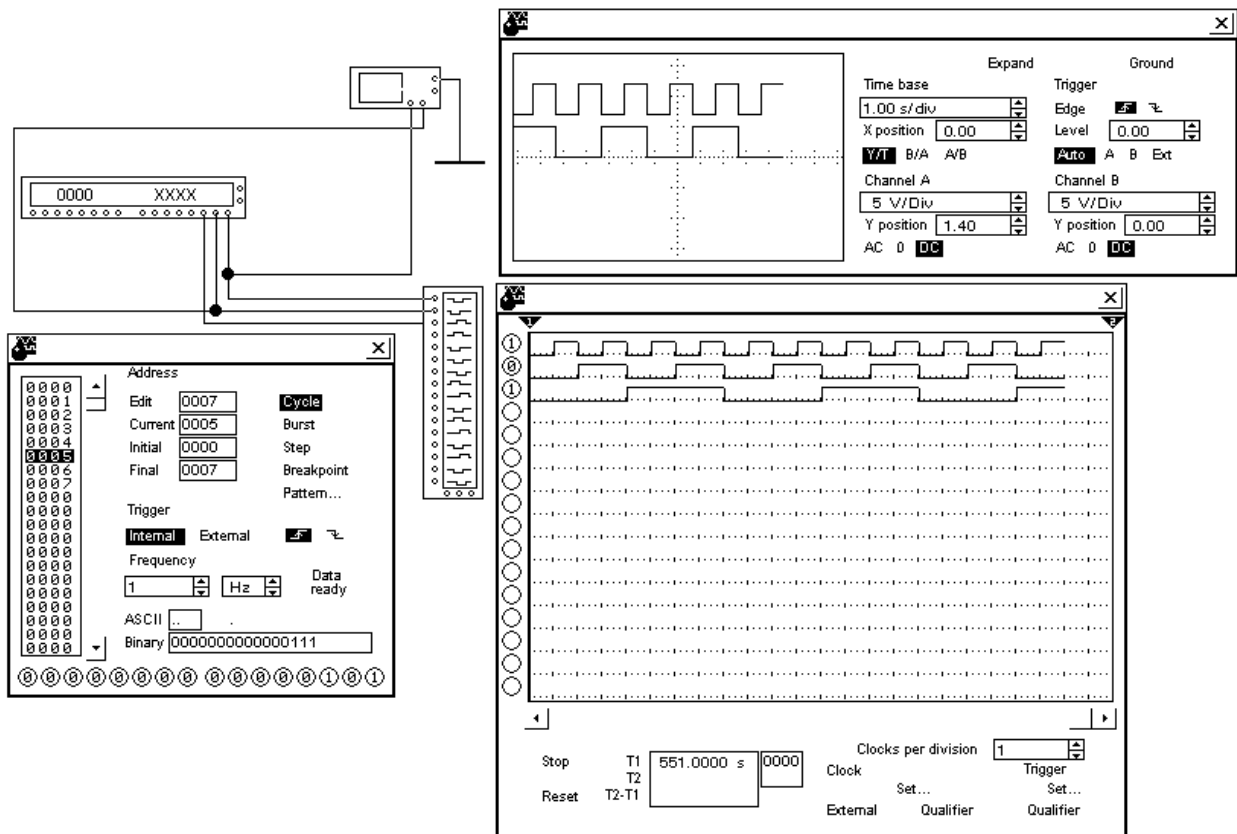


Рисунок 8.17 – Використання інструментарію EWB при дослідженні діаграм функціонування пристрою.

2.2 Дешифратор адреси

Дешифратор (декодер) перетворює код, що поступає на його входи, в сигнал лише на одному з його виходів (табл. 8.1).

Таблиця 8.1 – Таблиця істинності дешифратора

Входи			Виходи							
A2	A1	A0	0	1	2	3	4	5	6	7
0	0	0	1	0	0	0	0	0	0	0
0	0	1	0	1	0	0	0	0	0	0
0	1	0	0	0	1	0	0	0	0	0
0	1	1	0	0	0	1	0	0	0	0
1	0	0	0	0	0	0	1	0	0	0
1	0	1	0	0	0	0	0	1	0	0
1	1	0	0	0	0	0	0	0	1	0
1	1	1	0	0	0	0	0	0	0	1

Відповідно до таблиці істинності лінійна структура дешифратора має вигляд (рис. 8.18).

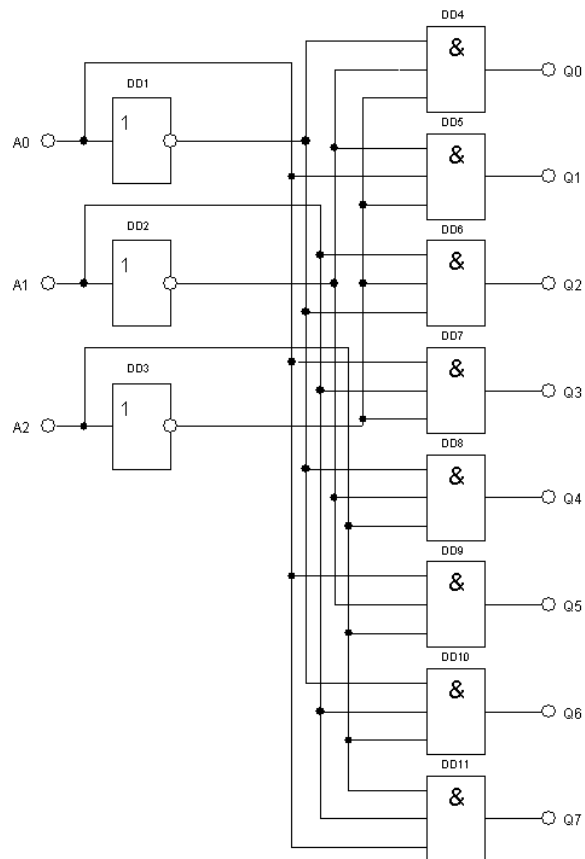


Рисунок 8.18 – Лінійна структура дешифратора

У ТТЛ логіці лінійні дешифратори більш ніж на 4 – 5 виходів побудувати не можна по здатності навантаження, тому використовується схема пірамідального дешифратора (рис. 8.19). Число виходів дешифратора 2^n , число рівнів $n-1$, де n – кількість входів.

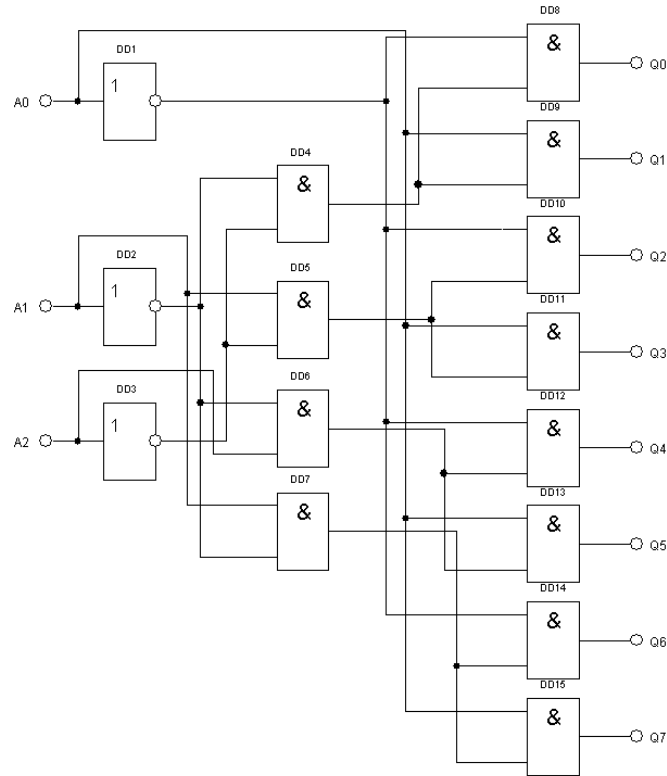


Рисунок 8.19 – Пірамідальний дешифратор адреси ПЗП

Діаграма функціонування дешифратора адреси представлена на рис 8.20.

2.3 Накопичувач 8×4

Використання ПЗП полягає в прочитуванні інформацію Структура схеми накопичувача матрична (рис. 8.21): рядки утворюються 8-адресними шинами, а стовпці 4-розрядними. Кожна шина зберігає певний код (Наприклад: 0000 0001 0010 0011 0100 0101 0110 0111 або в десятковому еквіваленті 0 1 2 3 4 5 6 7). Запис коду здійснюється за допомогою діодів, які приєднані між адресними шинами і тими розрядними шинами, на яких (при прочитуванні) має бути логічна 1

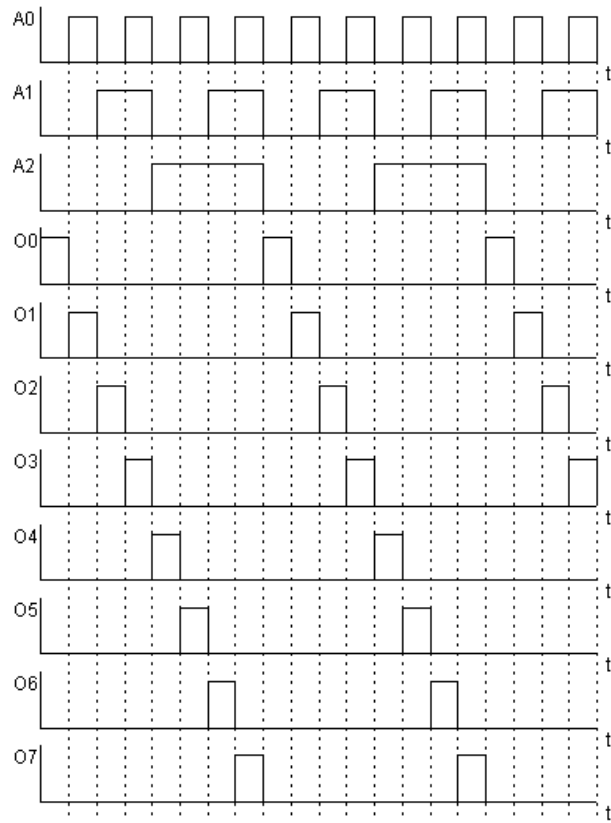


Рисунок 8.20 - Діаграма функціонування дешифратора адреси

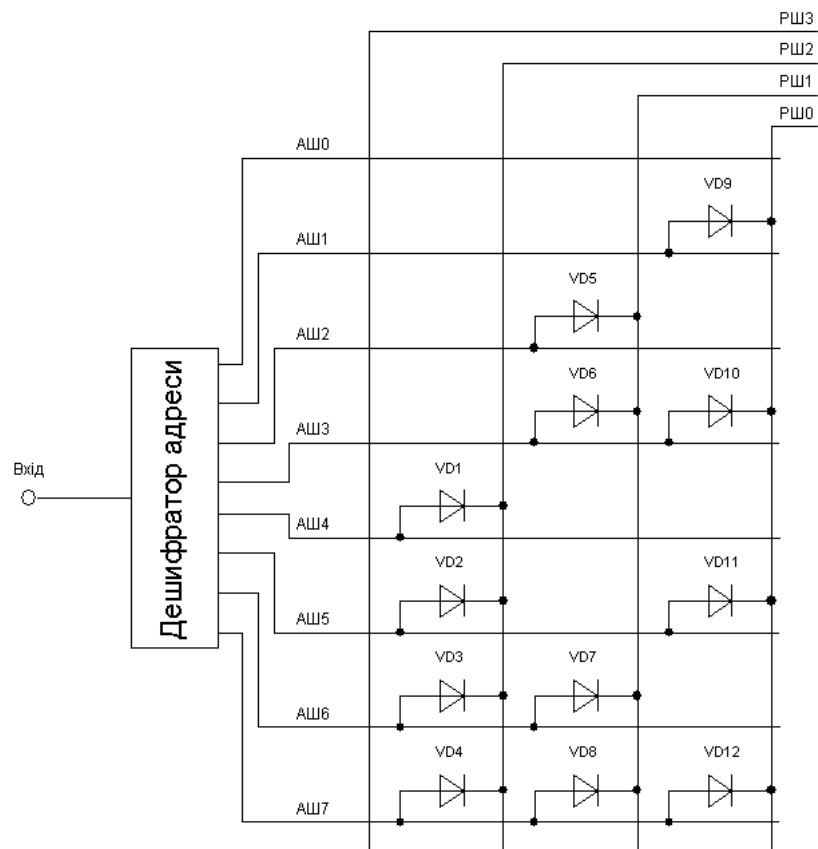
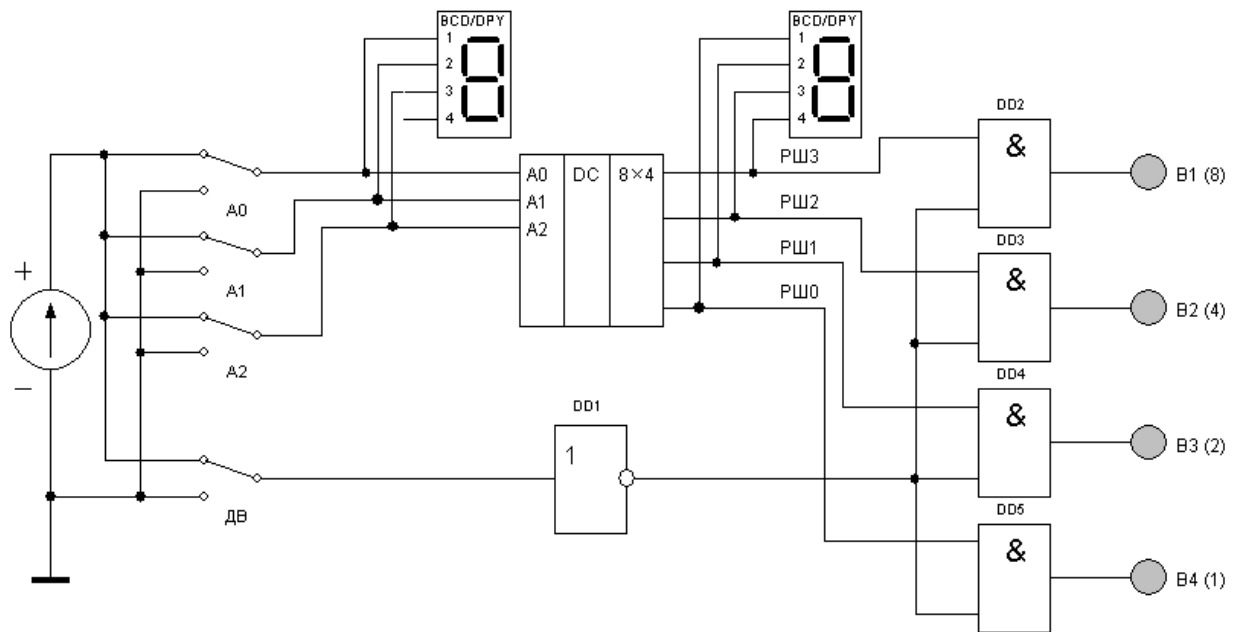
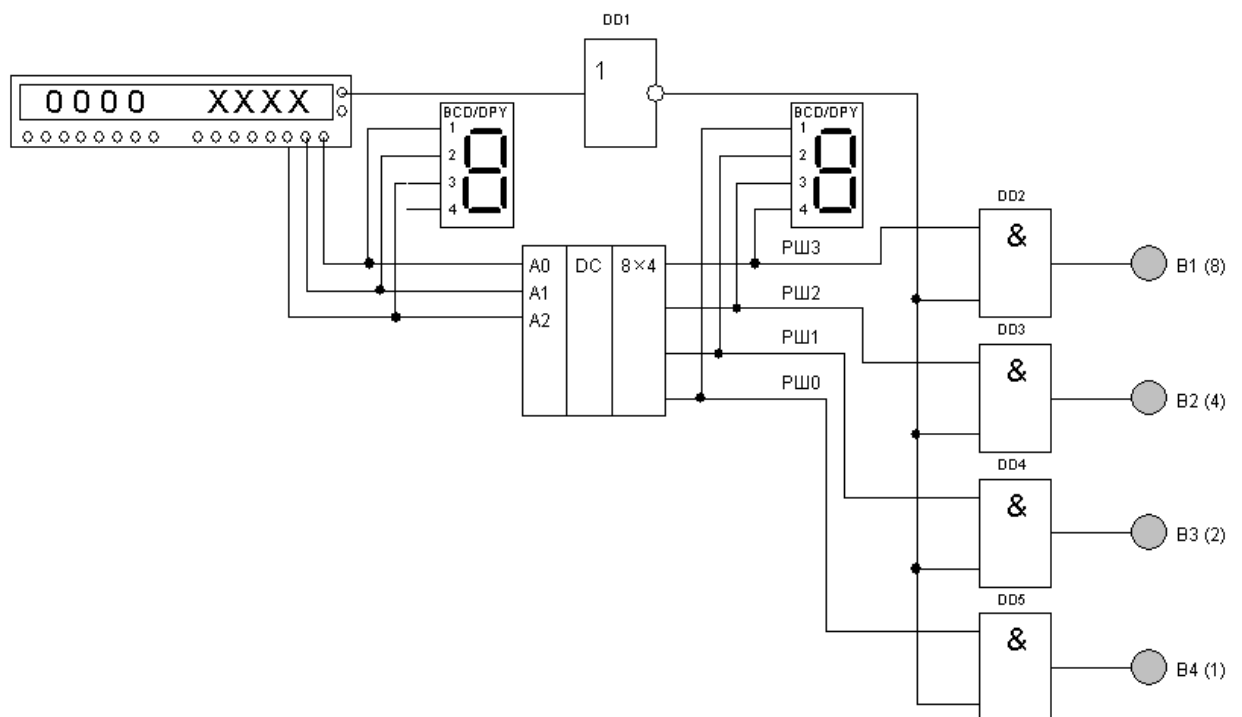


Рисунок 8.21 - Функціональна схема накопичувача 8×4

Розрядні шини підключаються до буферного пристрою для здійснення операції дозвіл вибірки ДВ (рис. 8.22).



а



б

а – схема з кнопковими перемикачами;

б – схема з використанням Word Generator

Рисунок 8.22 – Схеми виводу інформації з контрольними індикаторами

2.4 Побудова розрахованої схеми ПЗП на реальних мікросхемах

Вибрати з справочних даних мікросхеми дешифратора та пристрою дозвілу виборки інформації. Зібрати схему ПЗП згідно з рис. 8.23, використовуючи накопичувач свого варіанту.

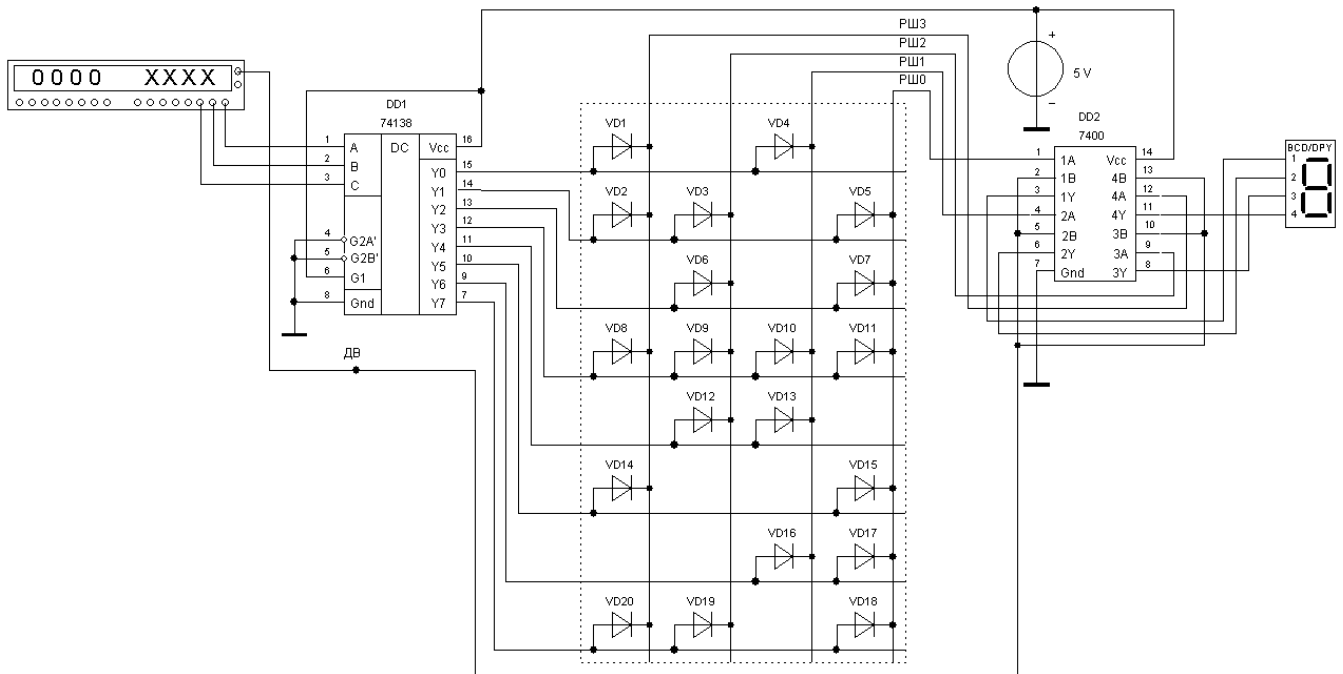


Рисунок 8.23 – Імітаційна схема роботи ПЗП на мікросхемах

За допомогою інструментарію програмного додатку EWB переконайтесь в правильності функціонування схеми. Зробити висновки про можливість модернізації схеми по входу дозволу вибірки (ДВ).

2.4 Завдання до виконання лабораторної роботи

1. Побудувати схему ПЗП з введенням інформації з кнопкових перемикачів.
2. При побудові дешифратора адреси використовувати схему пірамідального дешифратора. Привести його таблицю станів, рівняння функціонування.
2. Записати інформацію в накопичувач відповідно до варіантів, які приведені в десятковому еквіваленті:

- 1) 4 6 3 5 3 2 4 7
- 2) 7 4 5 3 2 4 1 3
- 3) 6 7 5 4 7 2 7 1
- 4) 4 5 2 3 7 1 3 2
- 5) 7 5 7 3 6 2 1 4
- 6) 5 7 3 6 2 4 1 7

3. Привести схему до єдиного елементного базису

4. Перевірити правильність функціонування схеми.

5. Побудувати схему ПЗП з введенням інформації з використанням Word Generator.

6. Побудувати діаграми функціонування схеми в точках вказаних на рис. 8.12.

7. Побудувати схему ПЗП з використанням реальних мікросхем.

8. Зробити розгорнутий висновок про виконану роботу.

Література

1. Цифрова схемотехніка: Підручник [Текст] / [Верьовкін Л.Л., Світанько М.В., Кісельов Є.М., Хрипко С.Л.]. – Запоріжжя: ЗДІА, 2016. – 214 с.
2. Цифровая схемотехника [Текст] / Е.П. Угрюмов. – СПб.: БХВ – Санкт-Петербург, 2000. – 528 с.
3. Основи схемотехніки електронних систем: Підручник [Текст] / [Бойко В.І., Гуржій А.М., Жуйков В.Я. та ін]. – К.: Вища шк., 2004. – 527 с.
4. Мікросхемотехніка: Підручник [Текст] / [Гельжинський І.І., Голяка Л.Р., Готра З.Ю., Марусенкова Т.А.]. – Львів: Ліга-Прес, 2015. – 492 с.

Дослідження схем перетворювачів цифрових кодів

Мета роботи: ознайомитися з типами та принципом побудови перетворювачів кодів.

1. Перетворювачі кодів

Операція зміни коду числа називається його перекодуванням. Інтегральні мікросхеми, що виконують ці операції, зветься перетворювачами коду. Перетворювачі коду бувають прості і складні. До простих відносяться перетворювачі, які виконують стандартні операції зміни коду чисел, наприклад, перетворень двійкового коду в одинарний або зворотну операцію. Складні перетворювачі кодів виконують нестандартні перетворення коду і їх схеми доводиться розробляти кожен раз за допомогою алгебри логіки.

Вважатимемо, що перетворювачі код мають n входів і k виходів. Співвідношення між n і k можуть бути будь-якими: $n = k$, $n < k$ і $n > k$. При перетворенні кодів чисел з ними можуть виконуватися різні додаткові операції, наприклад, множення на вагові коефіцієнти.

Перетворювачі кодів можуть бути ваговими і неваговими. Вагові ПК перетворюють інформацію з однієї системи числення в іншу. Основне призначення невагових - перетворення інформації для її подальшого відображення.

1.1 Невагові перетворювачі кодів

Інтегральні мікросхеми перетворювачів кодів випускаються лише для найбільш поширених операцій:

- перетворювачі двійково-десятькового коду в двійковий код;
- перетворювачі двійкової коду в двійково-десятьковий код;
- перетворювачі двійкового коду в код Грея.

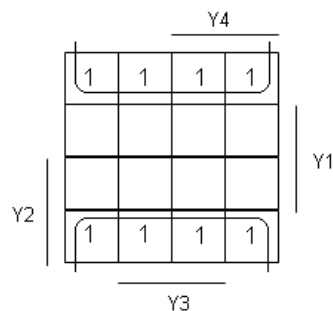
Наприклад для перетворення чотирирозрядного двійкового коду в зворотній код необхідно побудувати таблицю функціонування (табл. 9.3).

Таблиця 9.3 - Таблиця функціонування перетворювача чотирирозрядного двійкового коду в зворотній код

Двійковий код				Зворотній код			
Y4	Y3	Y2	Y1	A4	A3	A2	A1
0	0	0	0	1	1	1	1
0	0	0	1	1	1	1	0
0	0	1	0	1	1	0	1
0	0	1	1	1	1	0	0
0	1	0	0	1	0	1	1
0	1	0	1	1	0	1	0
0	1	1	0	1	0	0	1
0	1	1	1	1	0	0	0
1	0	0	0	0	1	1	1
1	0	0	1	0	1	1	0
1	0	1	0	0	1	0	1
1	0	1	1	0	1	0	0
1	1	0	0	0	0	1	1
1	1	0	1	0	0	1	0
1	1	1	0	0	0	0	1
1	1	1	1	0	0	0	0

Складемо рівняння функціонування пристрою і спростимо їх за допомогою карт Карно.

$$A1 = \overline{Y4}Y3\overline{Y2}Y1 + \overline{Y4}Y3Y2\overline{Y1} + \overline{Y4}Y3\overline{Y2}Y1 + \overline{Y4}Y3Y2Y1 + Y4\overline{Y3}\overline{Y2}Y1 + Y4\overline{Y3}Y2\overline{Y1} + Y4Y3\overline{Y2}Y1 + Y4Y3Y2Y1$$

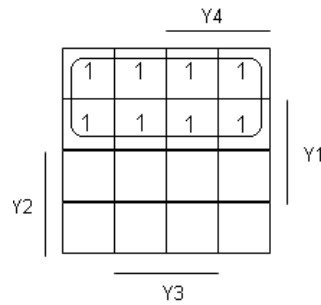


Після спрощення отримуємо:

$$A1 = \overline{Y1}$$

$$A2 = \overline{Y4Y3Y2Y1} + \overline{Y4Y3Y2Y1} + \overline{Y4Y3Y2Y1} + \overline{Y4Y3Y2Y1} + \overline{Y4Y3Y2Y1} +$$

$$+ \overline{Y4Y3Y2Y1} + \overline{Y4Y3Y2Y1} + \overline{Y4Y3Y2Y1}$$

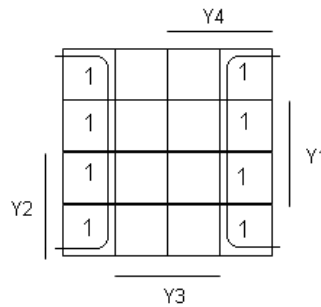


Після спрощення отримуємо:

$$A2 = \overline{Y2}$$

$$A3 = \overline{Y4Y3Y2Y1} + \overline{Y4Y3Y2Y1} + \overline{Y4Y3Y2Y1} + \overline{Y4Y3Y2Y1} + \overline{Y4Y3Y2Y1} +$$

$$+ \overline{Y4Y3Y2Y1} + \overline{Y4Y3Y2Y1} + \overline{Y4Y3Y2Y1}$$

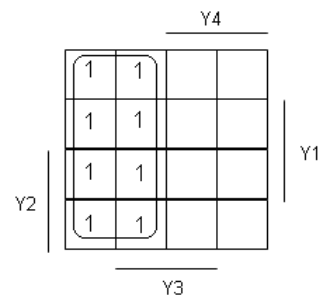


Після спрощення отримуємо:

$$A3 = \overline{Y3}$$

$$A4 = \overline{Y4Y3Y2Y1} + \overline{Y4Y3Y2Y1} + \overline{Y4Y3Y2Y1} + \overline{Y4Y3Y2Y1} + \overline{Y4Y3Y2Y1} +$$

$$+ \overline{Y4Y3Y2Y1} + \overline{Y4Y3Y2Y1} + \overline{Y4Y3Y2Y1}$$



Після спрощення отримуємо:

$$A4 = \overline{Y4}$$

Згідно з отриманими рівняннями функціональна схема перетворювача двійкового коду в зворотній код представлена на рис. 9.1.

Схема електрична принципова перетворювача двійкового коду в зворотній код зібрана на мікросхемі К155ЛН1 (рис. 9.2).

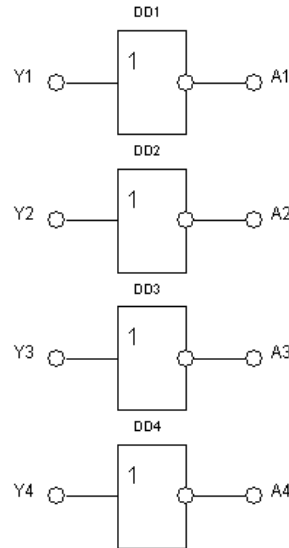


Рисунок 9.1 - Функціональна схема перетворювача чотирирозрядного двійкового коду в зворотній код

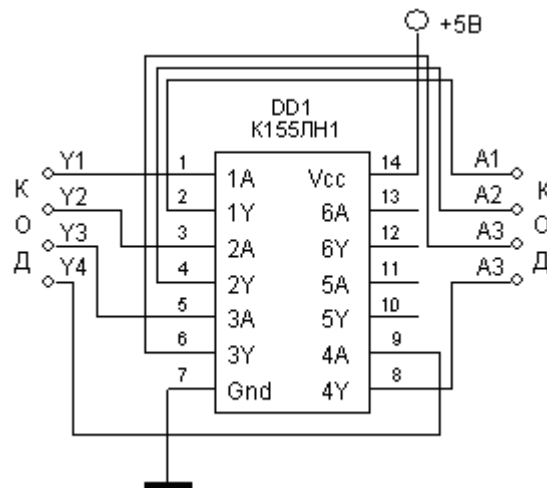


Рисунок 9.2 - Схема електрична принципова перетворювача чотирирозрядного двійкового коду в зворотній код

1.2 Вагові перетворювачі кодів

Інтегральні мікросхеми перетворювачів кодів:

- перетворювачі двійкового коду в код управління сегментними ін-

дикаторами;

- перетворювачі двійкового або двійково-десятькового коду в код управління шкальними або матричними індикаторами.

Як приклад розглянемо перетворювач двійкового коду управління 7-сегментним цифровим індикатором. На рис. 9.3 приведена схема підключення індикатора. Індикатор є напівпровідниковим приладом, в якому сім сегментів, виконаних зі світлодіодів. Включенням і виключенням окремих сегментів можна отримати зображення окремих цифр, що світяться. Кожній цифрі відповідає свій набір включення певних сегментів індикатора.

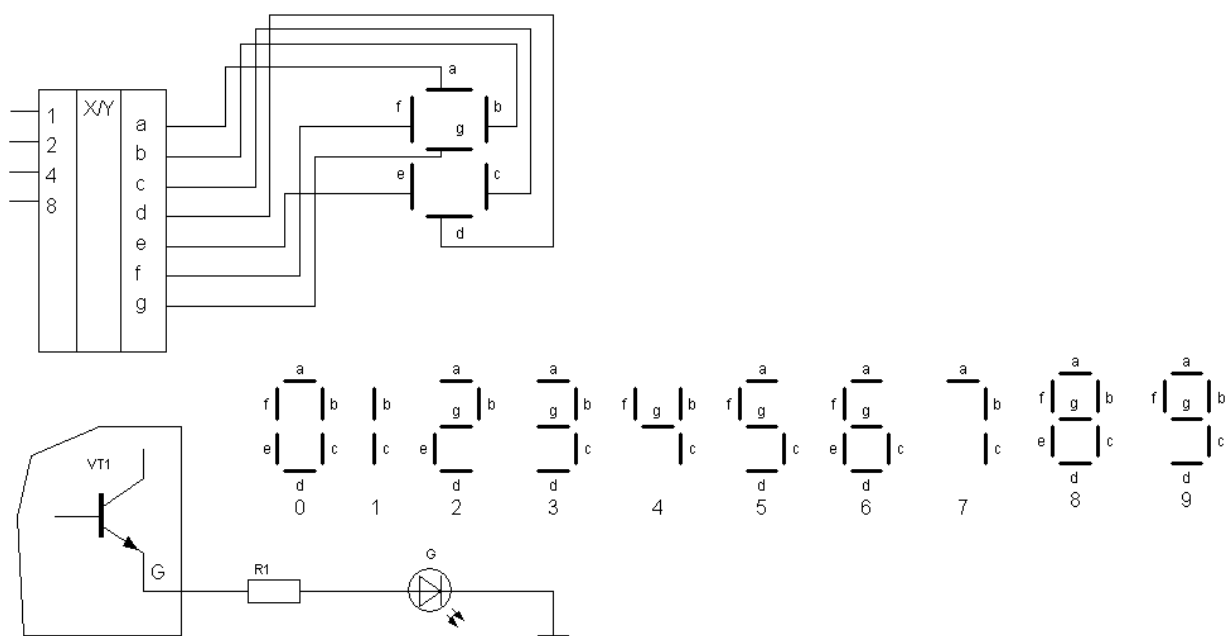


Рисунок 9.3 – Схема підключення індикатора к перетворювачу коду і конфігурація та розташування сегментів індикатора

Для реалізації схеми перетворювача двійкового коду управління 7-сегментним цифровим індикатором необхідно, виходячи з таблиць і рівнянь функціонування, побудувати схему і провести аналіз її функціонування.

2. Завдання до виконання лабораторної роботи

2.1 Розрахунок та дослідження схем невагових перетворювачів кодів

а) Розрахувати таблицю функціонування невагового перетворювача коду, згідно з отриманим від викладача варіантом:

1. Перетворювач трирозрядного двійкового коду в циклічний код Грея.
2. Перетворювач трирозрядного двійкового коду в код «Із надлишком три».
3. Перетворювач трирозрядного двійкового коду в код «Із надлишком чотири».
4. Перетворювач трирозрядного двійкового коду в додатковий код.

б) Розрахувати рівняння функціонування перетворювача коду.

в) Спростити рівняння та привести їх до єдиного логічного базису.

г) Побудувати функціональну схему пристрою в програмному забезпеченні EWB.

д) Задати автоматичний режим функціонування пристрою.

є) Провести аналіз функціонування, отримати тимчасові діаграми.

ж) Зробити розгорнутий висновок.

2.2 Розрахунок та дослідження схеми перетворення три розрядного двійкового коду в код семи сегментного індикатора

а) Розрахувати таблицю функціонування перетворювача три розрядного двійкового коду в код семи сегментного індикатора

б) Розрахувати рівняння функціонування перетворювача коду.

в) Спростити рівняння та привести їх до єдиного логічного базису.

г) Побудувати функціональну схему пристрою в програмному забезпеченні EWB.

д) Задати автоматичний режим функціонування пристрою.

є) Провести аналіз функціонування, отримати тимчасові діаграми.

ж) Зробити розгорнутий висновок.

3. Зміст звіту

Мета роботи.

За кожним завданням мають бути представлені логічні функції, логічні схеми, таблиці істинності, тимчасові діаграми, послідовність перетворень схем і функцій, якщо вони вироблялися.

Висновок.

4. Контрольні питання

1. Двоічні цифрові коди
2. Принцип функціонування невагових перетворювачів кодів.
2. Принцип функціонування вагових перетворювачів кодів.
3. Індикатори цифрових пристроїв.
4. Мікросхеми перетворювачів цифрових кодів.

Література

1. Цифрова схемотехніка: Підручник [Текст] / [Верьовкін Л.Л., Світанько М.В., Кісельов Є.М., Хрипко С.Л.]. – Запоріжжя: ЗДІА, 2016. – 214 с.
2. Цифровая схемотехника [Текст] / Е.П. Угрюмов. – СПб.: БХВ – Санкт-Петербург, 2000. – 528 с.
3. Основи схемотехніки електронних систем: Підручник [Текст] / [Бойко В.І., Гуржій А.М., Жуйков В.Я. та ін]. – К.: Вища шк., 2004. – 527 с.
4. Мікросхемотехніка: Підручник [Текст] / [Гельжинський І.І., Голяка Л.Р., Готра З.Ю., Марусенкова Т.А.]. – Львів: Ліга-Прес, 2015. – 492 с.

Начально-методичне видання
(українською мовою)

Верьовкін Леонід Леонідович

ФУНКЦІОНАЛЬНІ ВУЗЛИ МІКРОПРОЦЕСОРНИХ СИСТЕМ

Методичні рекомендації до лабораторних занять
для здобувачів вищої освіти першого бакалаврського рівня
за спеціальністю 153 «Мікро- та наносистемна техніка» освітньо-професійної
програми «Мікро- та наносистемна техніка»

Рецензент *В.Л. Коваленко*
Відповідальний за випуск *Т.В. Критська*
Коректор *Л.Л. Верьовкін*

Підп. до друку 23.06.2021. Формат 60×90×16.
Папір офсетний. Друк цифровий. Гарнітура Times.
Умовн. друк. арк. 1,3. Тираж 6 прим.. Зам №
Запорізький національний університет
69600, м. Запоріжжя, МСП – 41
вул. Жуковського, 66.
Свідотство про внесення суб'єкта видавничої справи
до Державного реєстру видавців, виготівників
і розповсюджувачів видавничої продукції
ДК № 5229 від 11.10.2016.